Phytium飞腾

# 飞腾派处理器数据手册

V1.0(2023-10-17)

Phytium飞腾

**版权所有 © 飞腾信息技术有限公司 2023。保留所有权利。**

未经本公司同意，任何单位、公司或个人不得擅自复制、翻译、摘抄本文档内容的部分或全部，不得以任何方式或途径进行传播和宣传。

## 商标声明

Phytium和其他飞腾商标均为飞腾信息技术有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 注意

本文档的内容视为飞腾的保密信息，您应当严格遵守保密义务；未经飞腾事先书面同意，您不得向任何第三方披露本文档内容或提供给任何第三方使用。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，飞腾在现有技术的基础上尽最大努力提供相应的介绍及操作指引，但飞腾在此明确声明对本文档内容的准确性、完整性、适用性、可靠性等不作任何明示或暗示的保证。本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

本文档中所有内容，包括但不限于图片、架构设计、页面布局、文字描述，均由飞腾和/或其关联公司依法拥有其知识产权，包括但不限于商标权、专利权、著作权等。非经飞腾和/或其关联公司书面同意，任何人不得擅自使用、修改、复制上述内容。

如有技术问题，可联系 support@phytium.com.cn 获取支持。

**飞腾信息技术有限公司**

地址：天津市滨海新区海缘路1号信安创业广场5号楼

网址：www.phytium.com.cn

# 版本历史

| 文档版本 | 发布日期 | 更新说明 |
| --- | --- | --- |
| V1.0 | 2023-10-17 | 首次发布，数据为理论值，仅供参考。 |


版权所有 © 飞腾信息技术有限公司

# 目 录

1 简介 . . . . . 1
1.1 技术指标 . . . . . 2
1.2 电源管理 . . . . . 4
1.3 功能框图 . . . . . 4
1.4 封装 . . . . . 4
1.5 相关文档 . . . . . 5
2 接口说明 . . . . . 6
2.1 引脚列表 . . . . . 6
2.1.1 通用信号引脚信息 . . . . . 6
2.1.2 电源引脚信息 . . . . . 14
2.1.3 不使用时处理方式 . . . . . 16
2.1.4 复用引脚说明 . . . . . 16
2.1.5 Pin Map . . . . . 25
2.2 DDR 内存接口 . . . . . 26
2.2.1 接口特性 . . . . . 26
2.2.2 信号描述 . . . . . 27
2.2.3 引脚分布 . . . . . 29
2.2.4 拓扑结构 . . . . . 29
2.2.5 交换准则 . . . . . 32
2.2.6 校准电阻要求 . . . . . 33
2.2.7 PCB 设计建议 . . . . . 33
2.3 PCIe 接口 . . . . . 40
2.3.1 接口特性 . . . . . 40
2.3.2 信号描述 . . . . . 40
2.3.3 拓扑结构 . . . . . 41
2.3.4 AC 电容、校准电阻要求 . . . . . 42


版权所有 © 飞腾信息技术有限公司

2.3.5 PCB 设计建议 . . . . . 43
2.4 以太网 MAC 接口 . . . . . 44
2.4.1 接口特性 . . . . . 44
2.4.2 信号描述 . . . . . 45
2.4.3 电气特性 . . . . . 48
2.4.4 拓扑结构 . . . . . 51
2.4.5 校准电阻要求 . . . . . 52
2.4.6 PCB 设计建议 . . . . . 52
2.5 USB 接口 . . . . . 54
2.5.1 接口特性 . . . . . 54
2.5.2 信号描述 . . . . . 54
2.5.3 拓扑结构 . . . . . 56
2.5.4 PCB 设计建议 . . . . . 57
2.6 DisplayPort 接口 . . . . . 58
2.6.1 接口特性 . . . . . 58
2.6.2 信号描述 . . . . . 59
2.6.3 拓扑结构 . . . . . 60
2.6.4 PCB 设计建议 . . . . . 60
2.7 SATA 接口 . . . . . 61
2.7.1 接口特性 . . . . . 61
2.7.2 信号描述 . . . . . 62
2.7.3 拓扑结构 . . . . . 63
2.7.4 PCB 设计建议 . . . . . 63
2.8 QSPI 接口 . . . . . 64
2.8.1 接口特性 . . . . . 64
2.8.2 信号描述 . . . . . 65
2.8.3 接口时序 . . . . . 66
2.8.4 拓扑结构 . . . . . 67
2.8.5 布线要求 . . . . . 68
2.9 SPI 接口 . . . . . 68
2.9.1 接口特性 . . . . . 68
2.9.2 信号描述 . . . . . 69
2.9.3 接口时序 . . . . . 69
2.10 SD/SDIO/eMMC 接口 . . . . . 70


版权所有 © 飞腾信息技术有限公司

2.10.1 接口特性 . . . . . 70
2.10.2 信号描述 . . . . . 70
2.10.3 接口时序 . . . . . 72
2.10.4 拓扑结构 . . . . . 74
2.10.5 布线要求 . . . . . 74
2.11 NAND Flash 接口 . . . . . 75
2.11.1 接口特性 . . . . . 75
2.11.2 信号描述 . . . . . 75
2.11.3 接口时序 . . . . . 76
2.11.4 拓扑结构 . . . . . 78
2.11.5 布线要求 . . . . . 78
2.12 I2S 接口 . . . . . 78
2.12.1 接口特性 . . . . . 78
2.12.2 信号描述 . . . . . 79
2.12.3 接口时序 . . . . . 79
2.13 CAN 接口 . . . . . 80
2.13.1 接口特性 . . . . . 80
2.13.2 信号描述 . . . . . 80
2.13.3 接口时序 . . . . . 80
2.14 JTAG Master 接口 . . . . . 81
2.14.1 接口特性 . . . . . 81
2.14.2 信号描述 . . . . . 81
2.14.3 接口时序 . . . . . 82
2.15 MIO 接口 . . . . . 82
2.15.1 接口特性 . . . . . 82
2.15.2 信号描述 . . . . . 82
2.15.3 MIO 内部结构 . . . . . 83
2.16 UART 接口 . . . . . 83
2.16.1 接口特性 . . . . . 83
2.16.2 信号描述 . . . . . 83
2.16.3 接口时序 . . . . . 84
2.17 I2C 接口 . . . . . 86
2.17.1 接口特性 . . . . . 86
2.17.2 信号描述 . . . . . 86


版权所有 © 飞腾信息技术有限公司

2.17.3 接口时序 . . . . . 86
2.18 PWM 接口 . . . . . 88
2.18.1 接口特性 . . . . . 88
2.18.2 信号描述 . . . . . 89
2.19 KeyPad 接口 . . . . . 89
2.19.1 接口特性 . . . . . 89
2.19.2 信号描述 . . . . . 89
2.20 GPIO 接口 . . . . . 90
2.20.1 接口特性 . . . . . 90
2.20.2 信号描述 . . . . . 90
2.21 SMBUS 接口 . . . . . 90
2.21.1 接口特性 . . . . . 90
2.21.2 信号描述 . . . . . 90
2.22 WDT . . . . . 91
2.23 调试接口 . . . . . 91
2.23.1 调试功能 . . . . . 92
2.23.2 使用方法 . . . . . 92
2.24 系统 IO 接口 . . . . . 92
2.24.1 时钟电路 . . . . . 92
2.24.2 复位和开机电路 . . . . . 93
2.24.3 BIOS 固件启动 . . . . . 93
2.24.4 GPIO 特殊应用说明 . . . . . 94
3 电源管理 . . . . . 95
3.1 电源参数 . . . . . 95
3.2 电源状态 . . . . . 96
3.3 电源方案 . . . . . 97
3.4 电源时序控制 . . . . . 99
3.4.1 嵌入式场景时序控制 . . . . . 99
3.4.2 S3 场景时序控制 . . . . . 100
3.5 IO 供电说明 . . . . . 103
3.6 推荐电容配置 . . . . . 103
4 时钟管理 . . . . . 106
4.1 时钟频率配置 . . . . . 106
4.2 LSD 时钟说明 . . . . . 107


版权所有 © 飞腾信息技术有限公司

4.3 时钟需求 . . . . . 108
5 电气特性 . . . . . 109
5.1 绝对最大额定值 . . . . . 109
5.2 ESD 特性 . . . . . 110
5.3 通用引脚 DC 电气特性 . . . . . 110
5.4 通用引脚 AC 特性 . . . . . 111
5.5 SerDes 电气特性 . . . . . 112
5.5.1 外部参考时钟电平规范 . . . . . 112
5.5.2 发送模块电气特性 . . . . . 112
5.5.3 接收模块电气特性 . . . . . 113
5.5.4 公共模块电气特性 . . . . . 113
5.6 SATA 引脚电气特性 . . . . . 113
5.7 USB2.0 引脚电气特性 . . . . . 113
5.8 USB3.0 引脚电气特性 . . . . . 114
6 通用 PCB 设计指导 . . . . . 115
6.1 阻抗要求 . . . . . 115
6.1.1 单端微带线 . . . . . 115
6.1.2 差分微带线 . . . . . 115
6.1.3 单端带状线 . . . . . 116
6.1.4 差分带状线 . . . . . 116
6.2 布线区域划分 . . . . . 117
6.3 差分信号布线 . . . . . 117
6.4 信号回流孔 . . . . . 118
6.5 参考平面设计 . . . . . 119
6.6 高速信号残桩 . . . . . 119
6.7 信号串扰 . . . . . 121
6.8 阻抗不连续 . . . . . 121
6.9 低速接口 PCB 设计建议 . . . . . 121
6.10 电源 PCB 设计建议 . . . . . 122
6.11 PCB 叠层设计 . . . . . 123
6.11.1 推荐八层板叠层 . . . . . 123
6.11.2 推荐六层板叠层 . . . . . 123
7 封装特性说明 . . . . . 125
7.1 封装尺寸 . . . . . 125


版权所有 © 飞腾信息技术有限公司

7.2 扣合力 . . . . . 126
7.3 PCB 封装设计推荐 . . . . . 127
7.4 推荐装焊曲线 . . . . . 127
8 术语和缩略语 . . . . . 129


版权所有 © 飞腾信息技术有限公司

# 图 目 录

图 1-1 飞腾派功能框图 . . . . . 4
图 2-1 低速 IO PAD 示意图 . . . . . 17
图 2-2 飞腾派 BGA MAP 结构图 . . . . . 25
图 2-3 飞腾派 DDR 引脚分布(顶视图) . . . . . 29
图 2-4 飞腾派 DDR4 SDRAM 单 RANK 结构图 . . . . . 30
图 2-5 飞腾派 LPDDR4 SDRAM 单 RANK 结构图 . . . . . 31
图 2-6 DDR 校准电阻参考电路 . . . . . 33
图 2-7 飞腾派 DDR4 X16 内存颗粒布线示意图(三层布线) . . . . . 34
图 2-8 飞腾派 LPDDR4 X32 内存颗粒布线示意图(三层布线) . . . . . 34
图 2-9 飞腾派 LPDDR4 X32 内存颗粒 AC 信号 Fly-by 拓扑走线局部示意图 . . . . . 35
图 2-10 飞腾派 DDR4 DIMM 布线示意图(三层布线) . . . . . 35
图 2-11 DDR4 SDRAM 端接设计参考 . . . . . 36
图 2-12 下行链路 1X4 拓扑结构 . . . . . 41
图 2-13 下行链路 1X2+2X1 拓扑结构 . . . . . 41
图 2-14 下行链路 4X1 拓扑结构 . . . . . 42
图 2-15 SATA 与 PCIe 自适应连接拓扑图 . . . . . 42
图 2-16 外部校准电阻参考电路 . . . . . 43
图 2-17 AC 耦合电容 PCB 摆放示意图 . . . . . 44
图 2-18 GMAC 开关特性图 . . . . . 49
图 2-19 MDIO 写操作时序 . . . . . 49
图 2-20 MDIO 读操作 . . . . . 49
图 2-21 MDIO 读建立和保持时间 . . . . . 49
图 2-22 RGMII 发送通道时序 . . . . . 50
图 2-23 RGMII 接收通道时序 . . . . . 50
图 2-24 RX 数据端口采样时序图 . . . . . 50
图 2-25 SGMII 连接拓扑 . . . . . 51


版权所有 © 飞腾信息技术有限公司

图 2-26 USXGMII 连接拓扑 . . . . . 51
图 2-27 RGMII 连接拓扑 . . . . . 52
图 2-28 外部校准电阻连接示意图 . . . . . 52
图 2-29 USB-A 接口连接拓扑 . . . . . 56
图 2-30 Micro-B 接口连接拓扑 . . . . . 56
图 2-31 USB 过流保护连接拓扑 . . . . . 56
图 2-32 USB 接口耦合电容与 ESD 器件 PCB 布局示意图 . . . . . 58
图 2-33 DisplayPort 连接拓扑 . . . . . 60
图 2-34 ESD 器件和耦合电容布局参考 . . . . . 61
图 2-35 SATA 连接拓扑 . . . . . 63
图 2-36 耦合电容布局参考 . . . . . 64
图 2-37 QSPI 总线时序 . . . . . 66
图 2-38 QSPI 数据输出 SCK 相对延迟时间 . . . . . 67
图 2-39 写保护模式输出 . . . . . 67
图 2-40 QSPI 单从设备拓扑 . . . . . 67
图 2-41 QSPI 多从设备拓扑 . . . . . 68
图 2-42 SPI 时序图 . . . . . 70
图 2-43 SD 卡时钟数据时序图(标准模式) . . . . . 72
图 2-44 SD 卡时钟数据时序图(高速模式) . . . . . 73
图 2-45 SD 卡时钟时序图(sdr 模式) . . . . . 73
图 2-46 SD 卡输入时序图(sdr 模式) . . . . . 73
图 2-47 SD 卡 4 线拓扑 . . . . . 74
图 2-48 eMMC 拓扑 . . . . . 74
图 2-49 SDR 命令发送 . . . . . 76
图 2-50 SDR 地址发送 . . . . . 77
图 2-51 SDR 数据发送 . . . . . 77
图 2-52 SDR 数据接收 . . . . . 77
图 2-53 飞腾派 NAND Flash 拓扑 . . . . . 78
图 2-54 I2S 时序图 . . . . . 79
图 2-55 CAN 时序图 . . . . . 80
图 2-56 JTAG master 接口时序图 . . . . . 82
图 2-57 MIO 内部结构 . . . . . 83
图 2-58 UART 三线时序图 . . . . . 84
图 2-59 UART 五线时序图 . . . . . 84


版权所有 © 飞腾信息技术有限公司

图 2-60 UART 九线时序图 . . . . . 85
图 2-61 I2C 接收时序 . . . . . 88
图 2-62 I2C 发送时序 . . . . . 88
图 2-63 飞腾派软件调试结构 . . . . . 91
图 2-64 trace32 连接 PC 进行调试 . . . . . 92
图 2-65 最小系统主时钟参考电路 . . . . . 93
图 2-66 飞腾派复位电路示意图 . . . . . 93
图 3-1 飞腾派 DDR4 颗粒和 DIMM 条场景电源方案示意图 . . . . . 98
图 3-2 飞腾派 LPDDR4 颗粒场景电源方案示意图 . . . . . 99
图 3-3 飞腾派上电时序示意图 . . . . . 100
图 3-4 S3 场景一 S0→S3 休眠时序图 . . . . . 101
图 3-5 S3 场景一 S3→S0 唤醒时序图 . . . . . 102
图 3-6 飞腾派去耦电容放置示意图 . . . . . 105
图 4-1 LSD 时钟结构图 . . . . . 107
图 5-1 PAD 输出负载电路 . . . . . 112
图 5-2 PAD 输出波形 . . . . . 112
图 6-1 单端微带线 . . . . . 115
图 6-2 差分微带线 . . . . . 115
图 6-3 单端带状线 . . . . . 116
图 6-4 差分带状线 . . . . . 116
图 6-5 布线区域划分示意图 . . . . . 117
图 6-6 L1 芯片扇出线示意图 . . . . . 117
图 6-7 等长绕线参考示意图一 . . . . . 118
图 6-8 等长绕线参考示意图二 . . . . . 118
图 6-9 耦合电容摆放参考 . . . . . 118
图 6-10 回流孔摆放参考一 . . . . . 118
图 6-11 回流孔摆放参考二 . . . . . 119
图 6-12 跨平面参考处理 . . . . . 119
图 6-13 信号换层过孔残桩示意图 . . . . . 120
图 6-14 信号走线的残桩示意图一 . . . . . 120
图 6-15 信号走线的残桩示意图二 . . . . . 120
图 6-16 电源反馈信号走线示意图 . . . . . 122
图 6-17 电源信号 BGA 扇出示意图 . . . . . 122
图 7-1 飞腾派芯片机械尺寸图 . . . . . 125


版权所有 © 飞腾信息技术有限公司

图 7-2 飞腾派芯片 PCB 封装设计推荐 . . . . . 127
图 7-3 推荐装焊温度曲线 . . . . . 127


版权所有 © 飞腾信息技术有限公司

# 表 目 录

表 1-1 飞腾派产品参数列表 . . . . . 1
表 2-1 飞腾派通用信号引脚信息 . . . . . 6
表 2-2 飞腾派电源引脚信息 . . . . . 14
表 2-3 飞腾派特殊引脚处理方式 . . . . . 16
表 2-4 飞腾派高速引脚复用表 . . . . . 16
表 2-5 飞腾派低速引脚复用表 . . . . . 18
表 2-6 支持的 DDR4 时序参数组合 . . . . . 26
表 2-7 支持的 LPDDR4 时序参数组合 . . . . . 27
表 2-8 飞腾派 DDR4 与 LPDDR4 信号描述 . . . . . 27
表 2-9 DDR4 方案 Slice 分组表 . . . . . 32
表 2-10 LPDDR4 方案 Slice 分组表 . . . . . 32
表 2-11 DDR4 X16 SDRAM 布线要求(Fly-by 拓扑) . . . . . 36
表 2-12 LPDDR4 X32 SDRAM 布线要求(点对点/Fly-by 拓扑) . . . . . 37
表 2-13 LPDDR4 X32 SDRAM 布线要求(点对点/T 拓扑) . . . . . 38
表 2-14 DDR4 DIMM 布线要求 . . . . . 39
表 2-15 飞腾派 PCIe 信号描述 . . . . . 40
表 2-16 PCIe3.0 链路 AC 耦合电容 . . . . . 42
表 2-17 PCIe 布线要求 . . . . . 43
表 2-18 SGMII 信号描述 . . . . . 45
表 2-19 USXGMII 信号描述 . . . . . 46
表 2-20 RGMII 信号描述 . . . . . 47
表 2-21 MDIO 接口电特性 . . . . . 48
表 2-22 RGMII 接口电特性 . . . . . 48
表 2-23 SGMII 布线要求 . . . . . 52
表 2-24 USXGMII 布线要求 . . . . . 52
表 2-25 RGMII 布线要求 . . . . . 53


版权所有 © 飞腾信息技术有限公司

表 2-26 USB 接口描述 ..... 54
表 2-27 USB 布线要求 ..... 57
表 2-28 飞腾派 DisplayPort 接口描述 ..... 59
表 2-29 DisplayPort 布线要求 ..... 60
表 2-30 SATA 接口描述 ..... 62
表 2-31 SATA 布线要求 ..... 63
表 2-32 QSPI 接口描述 ..... 65
表 2-33 QSPI 接口时序说明 ..... 66
表 2-34 QSPI 接口布线要求 ..... 68
表 2-35 SPI 接口描述 ..... 69
表 2-36 SPI 接口电特性 ..... 69
表 2-37 SD/SDIO/eMMC 接口描述 ..... 71
表 2-38 标准模式的总线时序参数值 ..... 72
表 2-39 高速模式总线时序参数值 ..... 72
表 2-40 SDR 模式的总线时序参数值 ..... 73
表 2-41 SD/SDIO/eMMC 接口布线要求 ..... 74
表 2-42 NAND Flash 接口描述 ..... 75
表 2-43 SDR 模式电特性说明 ..... 76
表 2-44 NAND Flash 接口布线要求 ..... 78
表 2-45 I2S 接口描述 ..... 79
表 2-46 I2S 接口时序说明 ..... 79
表 2-47 CAN 接口描述 ..... 80
表 2-48 CAN 接口时序说明 ..... 80
表 2-49 JTAG Master 接口描述 ..... 81
表 2-50 传输电特性说明 ..... 82
表 2-51 MIO 复用对照表 ..... 82
表 2-52 UART 接口描述 ..... 83
表 2-53 UART 接口电特性 ..... 84
表 2-54 I2C 接口描述 ..... 86
表 2-55 I2C 接口电特性 ..... 87
表 2-56 PWM 接口描述 ..... 89
表 2-57 KeyPad 接口描述 ..... 89
表 2-58 GPIO 接口描述 ..... 90
表 2-59 SE_SMBus 接口描述 ..... 90


版权所有 © 飞腾信息技术有限公司

表 2-60 FJTAG 接口描述 ..... 91
表 2-61 调试环境支持 ..... 91
表 2-62 最小系统主时钟参数要求 ..... 93
表 2-63 CPU 启动配置说明 ..... 93
表 2-64 GPIO 特殊应用说明[1] ..... 94
表 3-1 核心电源参数说明[1] ..... 95
表 3-2 其他模块电压电流参数[1] ..... 95
表 3-3 电源状态 ..... 96
表 3-4 电源状态说明 ..... 96
表 3-5 S3 场景一 S0→S3 休眠下电时序控制表 ..... 101
表 3-6 S3 场景一 S3→S0 唤醒上电时序控制表 ..... 102
表 3-7 SMCORE_x 与 GPIO 电源 VDDIO_x 的对应关系 ..... 103
表 3-8 飞腾派各个电源域推荐的电容配置 ..... 103
表 4-1 频率配置范围 ..... 106
表 4-2 LSD 时钟说明 ..... 107
表 4-3 主时钟要求 ..... 108
表 4-4 SerDes 参考时钟要求 ..... 108
表 4-5 USXGMII 参考时钟要求 ..... 108
表 5-1 绝对最大额定值 ..... 109
表 5-2 ESD 绝对最大额定值 ..... 110
表 5-3 电气敏感性 ..... 110
表 5-4 通用 pad 引脚电气特性(1.8V) ..... 110
表 5-5 通用 pad 引脚电气特性(3.3V) ..... 111
表 5-6 通用 Pad 交流参数(1.8 V) ..... 111
表 5-7 通用 Pad 交流参数(3.3V) ..... 112
表 5-8 外部参考时钟电平规范 ..... 112
表 5-9 发送模块电气特性 ..... 112
表 5-10 接收模块电气特性 ..... 113
表 5-11 公共模块电气特性 ..... 113
表 5-12 SATA TX/RX 信号组 DC 电气特性 ..... 113
表 5-13 USB2.0 接口电气特性 ..... 113
表 5-14 USB3.0 接口电气特性 ..... 114
表 6-1 单端微带线 ..... 115
表 6-2 差分微带线 ..... 116


版权所有 © 飞腾信息技术有限公司

表 6-3 单端带状线 . . . . . 116
表 6-4 差分带状线 . . . . . 116
表 6-5 推荐八层板叠层设计 . . . . . 123
表 6-6 推荐六层板叠层设计 . . . . . 123
表 7-1 飞腾派芯片机械尺寸数据 . . . . . 126
表 7-2 推荐装焊温度数据 . . . . . 127
表 8-1 术语和缩略语 . . . . . 129


版权所有 © 飞腾信息技术有限公司

# 1 简介

飞腾派处理器是嵌入式四核处理器，该处理器兼容 ARM V8 指令集，包含 2 个 FTC664 核和 2 个 FTC310 核，其中 FTC664 核主频可达 1.8GHz，FTC310 核主频可达 1.5GHz。表 1-1 为飞腾派产品形态基本性能参数列表。

表 1-1 飞腾派产品参数列表

| 产品型号 | 飞腾派 |
| --- | --- |
| Marking | |
| 订货号 | 飞腾派-0400-C |
| 主频 | 1.8GHz、1.5GHz |
| L2 Cache | 2MB+256KB |
| 片上存储器[1] | 512KB |
| 视频编解码 | H.264/265 解码，2K@30fps |
| PCIe | 1 个 x4 和 2 个 x1 PCIe3.0 |
| DDR | 1 个 72bits DDR4/LPDDR4-2400 |
| 网络接口 | 2 个 1000/100/10M SGMII/10000M USXGMII +<br>2 个 1000/100/10M SGMII/RGMII |
| USB 接口 | 3 个 USB2.0 接口和 2 个 USB3.0 接口(向下兼容 USB2.0) |
| 多媒体接口 | 2 个 DisplayPort1.4 HBR2 接口和 1 个 I2S 接口 |
| 典型功耗[2] | 6W |
| TDP[3] | 10.5W |
| 内核电压 | 0.85V |


版权所有 © 飞腾信息技术有限公司

| 产品型号 | 飞腾派 |
| --- | --- |
| 封装 | 25*25mm FCBGA 封装 |
| 厚度 | 2.606mm |
| 质量等级 | 商业级 |
| MSL | <=4 |
| ESD(HBM) | 1000V |
| 环规 | ROHS2.0 |
| 工作结温(Tj) | 0~85° C |

说明

注[1]：独立于 Cache 系统、具有单独地址空间的片内存储器；

注[2]：典型功耗测试条件为 CPU 在常温 25℃环境，标准工作频率和标准电压条件下，运行高复杂工作负载（cpu2006-int456 题）的最大平均功耗；

注[3]：TDP 功耗测试条件为 CPU 在最大允许结温，标准工作频率和标准电压条件下，运行高复杂工作负载（cpu2006-int456 题）的最大平均功耗。

## 1.1 技术指标

飞腾派处理器主要结构指标如下：

1. 功能指标

- 兼容 ARM V8 指令系统，支持 64 位和 32 位指令；
- 兼容 ARM V8 虚拟化体系结构，支持业界主流的 KVM、Xen 虚拟机；
- 支持单精度、双精度浮点运算指令；
- 支持 ASIMD 处理指令。

2. 结构指标

- 集成 2 个 FTC664 核和 2 个 FTC310 核；
- L2 Cache：两个 FTC664 核各包含 1MB 私有 L2 Cache；由两个 FTC310 核组成的 Cluster 内含 256KB 共享的 L2 Cache；
- 集成 1 路 16 通道 General DMA 和 2 路 8 通道 Device DMA；
- 集成 VPU 提供硬件视频解码功能：
  - —支持格式：H.265(HEVC)、H.264、H.263、MPEG-4、MPEG-2、VC-1、VP8、FLV；
  - —H.264/265 支持 2K@30fps，其他标准协议支持 1080p@60fps；
  - —支持缩小：高宽最小可变为原来的四分之一，缩小函数的输入分辨率最小是 64×64；
  - —支持旋转（仅 YUV-NV128bit 格式）。


版权所有 © 飞腾信息技术有限公司

- 集成两路地址翻译通道和一个独立的 PTW/DVM 访问通道，实现 PCIe、SATA 外设的虚拟化功能：
  - 支持 ARMv8-SMMUv3.1 协议；
  - 支持 AXI5 总线接口；
  - 支持每个虚拟请求通道单独的 Bypass 功能；
  - 虚拟请求通道不支持 stash、CMO、atomic 请求的传输集成 RAS 部件，支持各级存储和功能部件数据、地址、报文的错误信息收集记录并交给软件处理。
- 集成 RAS 部件，支持各级存储和功能部件数据、地址、报文的错误信息收集记录并交给软件处理；
- 集成 2 个 WDT；
- 集成 1 个温度传感器，可实时监测片内温度；
- 集成 1 个 SE 系统管理引擎，用于芯片电源、时钟和复位系统控制；
- 集成 1 个 DDR4/LPDDR4-2400 控制器，支持 72bit 数据，包含 64bit 数据和 8bit 开关可配置带外 ECC。支持降位宽为 36 位，其中 32bit 数据和 4bit 带外 ECC，详见第 2.2 章节；
- 集成 6 Lanes PCIe 3.0 接口，可拆分成 1 路 X4+2 路 X1 或 1 路 X2+4 路 X1 或 6 路 X1，详见第 2.3 章节；
- 集成 4 个千兆以太网控制器，支持 2 路 SGMII 接口和 2 路 SGMII/RGMII 接口，详见第 2.4 章节；
- 集成 2 个万兆以太网控制器，支持 2 路 USXGMII 接口，详见第 2.4 章节；
- 集成 3 路 USB2.0(OTG)和 2 路 USB3.0(兼容 2.0)，详见第 2.5 章节；
- 集成 2 路 DisplayPort1.4 接口，详见第 2.6 章节；
- 集成 2 路 SATA 3.0 接口，详见第 2.7 章节；
- 集成 1 个 QSPI Flash 控制器，支持 4 个片选，详见第 2.8 章节；
- 集成 4 个 SPI Master 控制器，均支持 4 片选，详见第 2.9 章节；
- 集成 2 个 SD 控制器，其中一个支持 SD3.0、SDIO3.0 和 eMMC5.0 协议规范，另一个仅支持 SD3.0 协议规范，详见第 2.10 章节；
- 集成 1 个 NAND Flash 控制器，支持 ONFI2.2 协议，详见第 2.11 章节；
- 集成 1 路 I2S 接口，支持高清音频播放，详见第 2.12 章节；
- 集成 2 个 CAN 控制器，支持 CAN 2.0 标准协议、ISO CAN FD 标准协议，详见第 2.13 章节；
- 集成 1 个 JTAG Master 控制器，可用于配置 FPGA/CPLD，详见第 2.14 章节；
- 集成 16 个 MIO 控制器，可配置为 UART 接口或 I2C 接口，详见第 2.15、2.16、2.17


版权所有 © 飞腾信息技术有限公司

章节；

- 集成 4 个 UART 控制器，包括 1 个九线 UART 控制器、3 个五线 UART 控制器，详见第 2.16 章节；
- 支持 4 个 PWM 控制器，详见第 2.18 章节；
- 支持 1 路 8*8 的 Keypad 接口，详见第 2.19 章节；
- 集成 6 个 GPIO 控制器，共可提供 96 路 GPIO 接口，详见第 2.20 章节；
- 集成 1 个调试 JTAG 接口，支持 DStream、Trace32 等主流调试器，详见第 2.23 章节。

## 1.2 电源管理

- 支持片内多个电源域单独管理的控制，具体可以参考电源域划分；
- 支持以 SE 为主的最小核心的电源模式；
- 支持 USB，GPIO 中断，以太网等设备的唤醒。

## 1.3 功能框图

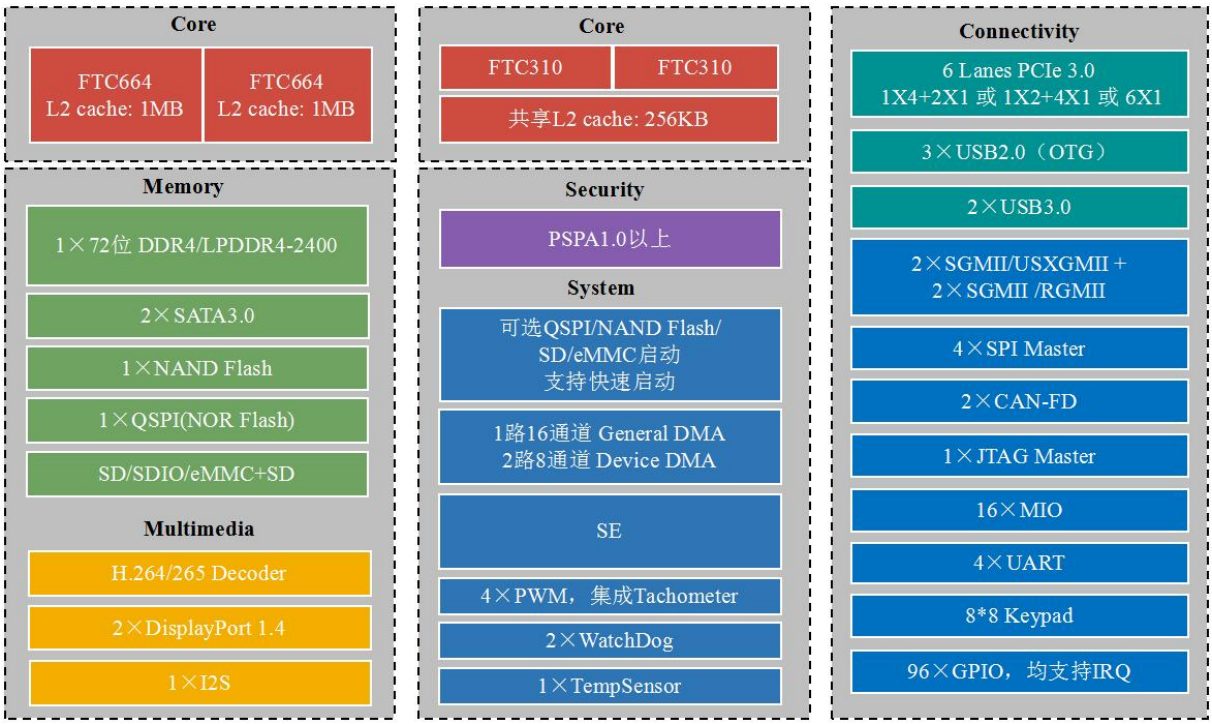


图 1-1 飞腾派功能框图

## 1.4 封装

采用 FCBGA 封装，飞腾派引脚数目为 809，封装尺寸 25mm×25mm。


版权所有 © 飞腾信息技术有限公司

## 1.5 相关文档

1. 飞腾派软件编程手册


版权所有 © 飞腾信息技术有限公司

# 2 接口说明

## 2.1 引脚列表

### 2.1.1 通用信号引脚信息

表 2-1 飞腾派通用信号引脚信息

| 引脚 1 | 信号名 1 | 引脚 2 | 信号名 2 |
|---|---|---|---|
| BG55 | DDR_A0/L_CA0 | BJ7 | DDR_DQ30 |
| BN49 | DDR_A1/L_CA1 | BJ11 | DDR_DQ31 |
| BE51 | DDR_A2/L_CA2 | BL19 | DDR_DQ32 |
| BL47 | DDR_A3/L_CA3 | BJ17 | DDR_DQ33 |
| BJ55 | DDR_A4/L_CA4 | BN27 | DDR_DQ34 |
| BR49 | DDR_A5/L_CA5 | BL27 | DDR_DQ35 |
| BL51 | DDR_A6/U_CA0 | BN15 | DDR_DQ36 |
| BG53 | DDR_A7/U_CA1 | BL15 | DDR_DQ37 |
| BE53 | DDR_A8/U_CA2 | BR25 | DDR_DQ38 |
| BN53 | DDR_A9/U_CA3 | BL25 | DDR_DQ39 |
| BG43 | DDR_A10/U_CA4 | BU39 | DDR_DQ40 |
| BC55 | DDR_A11/U_CA5 | BW41 | DDR_DQ41 |
| BR45 | DDR_A12 | BU29 | DDR_DQ42 |
| BJ51 | DDR_A13 | BW31 | DDR_DQ43 |
| BN47 | DDR_A14/WE_N/CS_N11 | BU27 | DDR_DQ44 |
| BL45 | DDR_A15/CAS_N/CS_N10 | BW29 | DDR_DQ45 |
| BJ47 | DDR_A16/RAS_N/CS_N9 | BW37 | DDR_DQ46 |
| BC59 | DDR_A17 | BW39 | DDR_DQ47 |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| BN55 | DDR_BA0/CS_N12 | BL39 | DDR_DQ48 |
| BR53 | DDR_BA1/CS_N13 | BR31 | DDR_DQ49 |
| BU57 | DDR_BG0/CS_N7 | BN33 | DDR_DQ50 |
| BL49 | DDR_BG1 | BJ37 | DDR_DQ51 |
| BG59 | DDR_C0 | BL37 | DDR_DQ52 |
| BJ43 | DDR_CKE0 | BL31 | DDR_DQ53 |
| BC49 | DDR_CKE1 | BL29 | DDR_DQ54 |
| BL57 | DDR_CKE2 | BR39 | DDR_DQ55 |
| BN59 | DDR_CKE3 | BU45 | DDR_DQ56 |
| BR43 | DDR_CS_N0 | BU53 | DDR_DQ57 |
| BN43 | DDR_CS_N1 | BW55 | DDR_DQ58 |
| BR59 | DDR_CS_N2 | BW45 | DDR_DQ59 |
| BR57 | DDR_CS_N3 | BU51 | DDR_DQ60 |
| BG41 | DDR_ODT0/CS_N4 | BW53 | DDR_DQ61 |
| BR55 | DDR_ODT1/CS_N5 | BU41 | DDR_DQ62 |
| BL59 | DDR_ODT2/CS_N6 | BW43 | DDR_DQ63 |
| BG49 | DDR_ODT3/CS_N8 | BW25 | DDR_CB0 |
| BE47 | DDR_ZN_SENSE | BW27 | DDR_CB1 |
| BJ45 | DDR_ACT_N/CS_N14 | BW17 | DDR_CB2 |
| BR51 | DDR_ALERT_N | BU15 | DDR_CB3 |
| BG47 | DDR_RESET_N | BW15 | DDR_CB4 |
| BC51 | DDR_PAR/CS_N15 | BU23 | DDR_CB5 |
| BL41 | DDR_CLK_T0 | BW23 | DDR_CB6 |
| BJ41 | DDR_CLK_C0 | BW13 | DDR_CB7 |
| BJ53 | DDR_CLK_T1 | BG3 | DDR_DQS_T0 |
| BL53 | DDR_CLK_C1 | BG1 | DDR_DQS_C0 |
| BJ57 | DDR_CLK_T2 | BC5 | DDR_DQS_T1 |
| BJ59 | DDR_CLK_C2 | BC7 | DDR_DQS_C1 |
| BE57 | DDR_CLK_T3 | BW7 | DDR_DQS_T2 |
| BE59 | DDR_CLK_C3 | BU7 | DDR_DQS_C2 |
| BL3 | DDR_DQ0 | BN9 | DDR_DQS_T3 |
| BC1 | DDR_DQ1 | BL9 | DDR_DQS_C3 |
| BA3 | DDR_DQ2 | BL23 | DDR_DQS_T4 |
| BN1 | DDR_DQ3 | BL21 | DDR_DQS_C4 |
| AW3 | DDR_DQ4 | BU35 | DDR_DQS_T5 |
| BA1 | DDR_DQ5 | BW35 | DDR_DQS_C5 |
| BJ1 | DDR_DQ6 | BR37 | DDR_DQS_T6 |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| BL1 | DDR_DQ7 | BN37 | DDR_DQS_C6 |
| BG9 | DDR_DQ8 | BW51 | DDR_DQS_T7 |
| BG5 | DDR_DQ9 | BW49 | DDR_DQS_C7 |
| AU5 | DDR_DQ10 | BU21 | DDR_DQS_T8 |
| AW7 | DDR_DQ11 | BW21 | DDR_DQS_C8 |
| BC9 | DDR_DQ12 | BE1 | DDR_DQS_T9/DBI0/DM0 |
| AU7 | DDR_DQ13 | BE3 | DDR_DQS_C9 |
| AW1 | DDR_DQ14 | BA7 | DDR_DQS_T10/DBI1/DM1 |
| BE7 | DDR_DQ15 | BA5 | DDR_DQS_C10 |
| BU11 | DDR_DQ16 | BU5 | DDR_DQS_T11/DBI2/DM2 |
| BU3 | DDR_DQ17 | BW5 | DDR_DQS_C11 |
| BW11 | DDR_DQ18 | BR5 | DDR_DQS_T12/DBI3/DM3 |
| BU1 | DDR_DQ19 | BR7 | DDR_DQS_C12 |
| BR9 | DDR_DQ20 | BR19 | DDR_DQS_T13/DBI4/DM4 |
| BW9 | DDR_DQ21 | BN19 | DDR_DQS_C13 |
| BR1 | DDR_DQ22 | BW33 | DDR_DQS_T14/DBI5/DM5 |
| BN3 | DDR_DQ23 | BU33 | DDR_DQS_C14 |
| BL7 | DDR_DQ24 | BL33 | DDR_DQS_T15/DBI6/DM6 |
| BR13 | DDR_DQ25 | BJ33 | DDR_DQS_C15 |
| BL13 | DDR_DQ26 | BW47 | DDR_DQS_T16/DBI7/DM7 |
| BN5 | DDR_DQ27 | BU47 | DDR_DQS_C16 |
| BJ13 | DDR_DQ28 | BU17 | DDR_DQS_T17/DBI8/DM8 |
| BJ5 | DDR_DQ29 | BW19 | DDR_DQS_C17 |
| C1 | PCIE2_RXP0 | E5 | PCIE2_TXP0 |
| G1 | PCIE2_RXP1 | J5 | PCIE2_TXP1 |
| L1 | PCIE2_RXP2 | N5 | PCIE2_TXP2 |
| R1 | PCIE2_RXP3 | U5 | PCIE2_TXP3 |
| C3 | PCIE2_RXN0 | E7 | PCIE2_TXN0 |
| G3 | PCIE2_RXN1 | J7 | PCIE2_TXN1 |
| L3 | PCIE2_RXN2 | N7 | PCIE2_TXN2 |
| R3 | PCIE2_RXN3 | U7 | PCIE2_TXN3 |
| A5 | PCIE2_REFCLKP | A7 | PCIE2_REFCLKN |
| AL11 | PCIE2_REXT | AA5 | PCIE0_TXP/USB3_P0_TXP |
| W1 | PCIE0_RXP/USB3_P0_RXP | AA7 | PCIE0_TXN/USB3_P0_TXN |
| W3 | PCIE0_RXN/USB3_P0_RXN | AJ5 | PCIE0_REFCLKP |
| AN11 | PCIE0_REXT | AJ7 | PCIE0_REFCLKN |
| AC1 | PCIE1_RXP/USB3_P1_RXP/SATA0_RXP | AE5 | PCIE1_TXP/USB3_P1_TXP/SATA0_TXP |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| AC3 | PCIE1_RXN/USB3_P1_RXN/SATA0_RXN | AE7 | PCIE1_TXN/USB3_P1_TXN/SATA0_TXN |
| AG1 | PCIE1_REFCLKP | AR11 | PCIE1_REXT |
| AG3 | PCIE1_REFCLKN | G9 | SGMII0_TXP/USXGMII0_TXP |
| C11 | SGMII0_RXP/USXGMII0_RXP | E9 | SGMII0_TXN/USXGMII0_TXN |
| A11 | SGMII0_RXN/USXGMII0_RXN | J13 | SGMII0_REFCLKP |
| L13 | SGMII0_REFCLKN | G13 | SGMII1_TXP/USXGMII1_TXP/SATA1_TXP |
| AJ11 | SGMII0_REXT | E13 | SGMII1_TXN/USXGMII1_TXN/SATA1_TXN |
| C15 | SGMII1_RXP/USXGMII1_RXP/SATA1_RXP | L17 | SGMII1_REFCLKP |
| A15 | SGMII1_RXN/USXGMII1_RXN/SATA1_RXN | J17 | SGMII1_REFCLKN |
| C19 | SGMII2_RXP | AG9 | SGMII1_REXT |
| A19 | SGMII2_RXN | J21 | SGMII2_REFCLKP |
| G17 | SGMII2_TXP/DP0_L0_P | L21 | SGMII2_REFCLKN |
| E17 | SGMII2_TXN/DP0_L0_N | AG11 | SGMII2_REXT |
| C23 | SGMII3_RXP | L25 | SGMII3_REFCLKP |
| A23 | SGMII3_RXN | J25 | SGMII3_REFCLKN |
| G25 | SGMII3_TXP/DP1_L0_P | AE11 | SGMII3_REXT |
| E25 | SGMII3_TXN/DP1_L0_N | AN5 | USB2_P1_DP |
| AL1 | USB2_P0_DP | AN7 | USB2_P1_DM |
| AL3 | USB2_P0_DM | AU11 | USB2_P1_REXT |
| AW11 | USB2_P0_REXT | C55 | USB2_P3_DP |
| AR3 | USB2_P2_DP | E55 | USB2_P3_DM |
| AR1 | USB2_P2_DM | N47 | USB2_P3_REXT |
| BA11 | USB2_P2_REXT | G53 | USB2_P3_ID |
| AN1 | USB2_P2_ID | G55 | USB2_P3_VBUSDET |
| AR5 | USB2_P2_VBUSDET | R47 | USB2_P4_REXT |
| E49 | USB2_P4_DP | G51 | USB2_P4_ID |
| E51 | USB2_P4_DM | C53 | USB2_P4_VBUSDET |
| G21 | DP0_AUX_P | C27 | DP1_AUX_P |
| E21 | DP0_AUX_N | A27 | DP1_AUX_N |

通用 PAD 引脚

| 引脚 | 信号名称 | 接口电平 |
|---|---|---|
| BANK0 | | |
| AU53 | CLK_REF_50M | LVCMOS18/33 |


版权所有 © 飞腾信息技术有限公司

| | | |
|---|---|---|
| AU49 | CPU_POR_N | LVCMOS18/33 |
| AN59 | GPIO0_0 | LVCMOS18/33 |
| AR55 | QSPI_CSN0 | LVCMOS18/33 |
| AJ55 | QSPI_SCK | LVCMOS18/33 |
| AL55 | QSPI_SO_IO0 | LVCMOS18/33 |
| AL53 | QSPI_SI_IO1 | LVCMOS18/33 |
| AN51 | QSPI_WP_IO2 | LVCMOS18/33 |
| AR51 | QSPI_HOLD_IO3 | LVCMOS18/33 |
| BA57 | SE_CFG0/GPIO0_7 | LVCMOS18/33 |
| BA59 | SE_CFG1/GPIO0_8 | LVCMOS18/33 |
| AW57 | SE_CFG2/GPIO0_9 | LVCMOS18/33 |
| AW59 | SE_CFG3/GPIO0_10 | LVCMOS18/33 |
| AU55 | SE_CFG4/GPIO0_11 | LVCMOS18/33 |
| AN57 | TACH0/GPIO0_12 | LVCMOS18/33 |
| AL59 | PWM0/GPIO0_13 | LVCMOS18/33 |
| AJ59 | TACH1/GPIO0_14 | LVCMOS18/33 |
| AJ57 | PWM1/GPIO0_15 | LVCMOS18/33 |
| AG59 | TACH2/GPIO1_0 | LVCMOS18/33 |
| AG57 | PWM2/GPIO1_1 | LVCMOS18/33 |
| AE59 | TACH3/PCIE0_PRSNT/GPIO1_2 | LVCMOS18/33 |
| AC59 | PWM3/GPIO1_3 | LVCMOS18/33 |
| AC57 | GPIO1_4 | LVCMOS18/33 |
| AR49 | QSPI_CSN1/GPIO1_5 | LVCMOS18/33 |
| BANK1 | | |
| BA55 | SE_SCL/USB_VBUS_EN0/MIO3_A/GPIO1_6 | LVCMOS18/33 |
| BA53 | SE_SDA/USB_OC_N0/MIO3_B/GPIO1_7 | LVCMOS18/33 |
| AR59 | SE_SMBCLK | LVCMOS18/33 |
| AU59 | SE_SMBDAT | LVCMOS18/33 |
| AR57 | SE_SMBALT | LVCMOS18/33 |
| BA49 | SE_UART_RXD/GPIO1_11 | LVCMOS18/33 |
| AW55 | SE_UART_TXD/GPIO1_12 | LVCMOS18/33 |
| A35 | GPIO1_13 | LVCMOS18/33 |
| R57 | FJTAG_NTRST/GPIO1_14 | LVCMOS18/33 |
| R59 | FJTAG_TDI/GPIO1_15 | LVCMOS18/33 |
| U59 | FJTAG_TCK | LVCMOS18/33 |
| W59 | FJTAG_TDO | LVCMOS18/33 |
| U57 | FJTAG_TMS | LVCMOS18/33 |


版权所有 © 飞腾信息技术有限公司

| | | |
|---|---|---|
| AA57 | MIO6_A/GPIO2_3 | LVCMOS18/33 |
| AA59 | MIO6_B/GPIO2_4 | LVCMOS18/33 |
| AW51 | UART1_RXD | LVCMOS18/33 |
| AU51 | UART1_TXD | LVCMOS18/33 |
| A39 | CRU_CLK_OBV | LVCMOS18/33 |
| C39 | CRU_RST_OK/GPIO2_8 | LVCMOS18/33 |
| C37 | DP0_HPD/UART1_CTS_N/QSPI_CSN2/GPIO2_9 | LVCMOS18/33 |
| A37 | DP1_HPD/UART1_RTS_N/QSPI_CSN3/GPIO2_10 | LVCMOS18/33 |
| A41 | CAN0_TX/MIO0_A | LVCMOS18/33 |
| A43 | CAN0_RX/PCIE2_PRSNT0/MIO0_B | LVCMOS18/33 |
| A45 | CAN1_TX/MIO1_A | LVCMOS18/33 |
| C45 | CAN1_RX/PCIE2_PRSNT1/MIO1_B | LVCMOS18/33 |
| A47 | UART2_RXD/MIO2_A | LVCMOS18/33 |
| A49 | UART2_TXD/PCIE2_PRSNT2/SPIM2_CSN3/MIO2_B/GPIO3_0 | LVCMOS18/33 |
| C49 | UART2_CTS_N/SPIM2_CSN2/MIO10_A/GPIO3_1 | LVCMOS18/33 |
| A51 | UART2_RTS_N/PCIE2_PRSNT3/SPIM2_CSN1/MIO10_B/GPIO3_2 | LVCMOS18/33 |
| A33 | SPIM2_SCLK/MDC1/GPIO3_3 | LVCMOS18/33 |
| C33 | SPIM2_TXD/MDIO1/GPIO3_4 | LVCMOS18/33 |
| C31 | SPIM2_RXD/MDC0/GPIO3_5 | LVCMOS18/33 |
| A31 | SPIM2_CSN0/MDIO0/GPIO3_6 | LVCMOS18/33 |
| BANK2 | | |
| AJ53 | SD0_DET_N/NF_RB_N2/MDC1/GPIO3_7 | LVCMOS18/33 |
| AL49 | SD0_PWR_EN/NF_WP_N/MDIO1/GPIO3_8 | LVCMOS18/33 |
| AL47 | SD0_VOLT0/NF_DQS/MDC0/GPIO3_9 | LVCMOS18/33 |
| AN49 | SD0_INT_N/NF_CE_N2/MDIO0/GPIO3_10 | LVCMOS18/33 |
| AG51 | SD0_RST_N/NF_RB_N3/GPIO3_11 | LVCMOS18/33 |
| AJ51 | SD0_CMD/NF_CE_N3/GPIO3_12 | LVCMOS18/33 |
| AG49 | SD0_DATA0/GPIO3_13 | LVCMOS18/33 |
| AE55 | SD0_DATA1/GPIO3_14 | LVCMOS18/33 |
| AE53 | SD0_DATA2/GPIO3_15 | LVCMOS18/33 |
| AG55 | SD0_DATA3/GPIO4_0 | LVCMOS18/33 |
| AJ49 | SD0_CLK/GPIO4_1 | LVCMOS18/33 |
| AC55 | NF_RB_N0/SD0_DATA4/GPIO4_2 | LVCMOS18/33 |
| AC53 | NF_WEN_CLK/SD0_DATA5/GPIO4_3 | LVCMOS18/33 |
| AE51 | NF_REN_WRN/SD0_DATA6/GPIO4_4 | LVCMOS18/33 |
| W51 | NF_CLE/SD0_DATA7/GPIO4_5 | LVCMOS18/33 |
| W55 | NF_ALE/SPIM0_SCLK/GPIO4_6 | LVCMOS18/33 |


版权所有 © 飞腾信息技术有限公司

| | | |
|---|---|---|
| W53 | NF_DATA0/SD0_VOLT1/SPIM0_TXD/GPIO4_7 | LVCMOS18/33 |
| U55 | NF_DATA1/SD0_WP_N/SPIM0_RXD/GPIO4_8 | LVCMOS18/33 |
| U53 | NF_DATA2/SPIM0_CSN0/GPIO4_9 | LVCMOS18/33 |
| AE49 | NF_DATA3/PCIE0_PRSNT/SPIM0_CSN1/GPIO4_10 | LVCMOS18/33 |
| AC49 | NF_DATA4/SPIM0_CSN2/GPIO4_11 | LVCMOS18/33 |
| AE47 | NF_DATA5/PCIE1_PRSNT/SPIM0_CSN3/GPIO4_12 | LVCMOS18/33 |
| AA47 | NF_DATA6/JTAGM_NTRST/GPIO4_13 | LVCMOS18/33 |
| AA49 | NF_DATA7/JTAGM_TCK/MIO8_A/GPIO4_14 | LVCMOS18/33 |
| W49 | NF_CE_N0/JTAGM_TMS/MIO8_B/GPIO4_15 | LVCMOS18/33 |
| AA51 | NF_CE_N1/JTAGM_TDI/MIO9_A/GPIO5_0 | LVCMOS18/33 |
| U49 | NF_RB_N1/JTAGM_TDO/MIO9_B/GPIO5_1 | LVCMOS18/33 |
| BANK3 | | |
| G59 | SD1_CMD/NF_DATA8/MIO11_A/GPIO5_2 | LVCMOS18/33 |
| J59 | SD1_DATA0/NF_DATA9/FT_RSVD0/MIO11_B/GPIO5_3 | LVCMOS18/33 |
| L57 | SD1_DATA1/NF_DATA10/FT_RSVD1/FT_RSVD2/GPIO5_4 | LVCMOS18/33 |
| C59 | SD1_DATA2/NF_DATA11/FT_RSVD3/FT_RSVD4/GPIO5_5 | LVCMOS18/33 |
| E59 | SD1_DATA3/NF_DATA12/FT_RSVD5/FT_RSVD6/GPIO5_6 | LVCMOS18/33 |
| J57 | SD1_CLK/NF_DATA13/FT_RSVD7/FT_RSVD8/GPIO5_7 | LVCMOS18/33 |
| L59 | SD1_DET_N/NF_DATA14/FT_RSVD9/FT_RSVD10/GPIO5_8 | LVCMOS18/33 |
| N59 | SD1_WP_N/NF_DATA15/FT_RSVD11/FT_RSVD12/GPIO5_9 | LVCMOS18/33 |
| C57 | SD1_VOLT0/FT_RSVD13/FT_RSVD14/GPIO5_10 | LVCMOS18/33 |
| E57 | SD1_VOLT1/FT_RSVD15/FT_RSVD16/GPIO5_11 | LVCMOS18/33 |
| BANK4 | | |
| E31 | RGMII0_TXD0/MIO4_A/SPIM3_SCLK/GPIO5_12 | LVCMOS18/33 |
| G31 | RGMII0_TXD1/MIO4_B/SPIM3_TXD/SD1_PWR_EN/GPIO5_13 | LVCMOS18/33 |
| N41 | RGMII0_RXD0/MIO5_A/SPIM3_RXD/GPIO5_14 | LVCMOS18/33 |
| N39 | RGMII0_RXD1/MIO5_B/SPIM3_CSN0/GPIO5_15 | LVCMOS18/33 |
| J33 | RGMII0_TXCTL/SPIM3_CSN1/GPIO0_1 | LVCMOS18/33 |
| N33 | RGMII0_RXD2/SPIM3_CSN2/GPIO0_2 | LVCMOS18/33 |
| L33 | RGMII0_RXD3/MIO7_A/SPIM3_CSN3/GPIO0_3 | LVCMOS18/33 |
| N45 | RGMII0_RXCLK/MIO7_B/SPIM1_CSN3/SD1_INT_N/GPIO0_4 | LVCMOS18/33 |
| N43 | RGMII0_RXCTL/SPIM1_SCLK/USB_VBUS_EN1/GPIO0_5 | LVCMOS18/33 |
| L31 | RGMII0_TXCLK/SPIM1_TXD/USB_OC_N1/GPIO0_6 | LVCMOS18/33 |
| J31 | RGMII0_TXD2/SPIM1_RXD | LVCMOS18/33 |
| J29 | RGMII0_TXD3/SPIM1_CSN0 | LVCMOS18/33 |
| E29 | MDC2/USB_VBUS_EN3 | LVCMOS18/33 |
| G29 | MDIO2/USB_OC_N3 | LVCMOS18/33 |


版权所有 © 飞腾信息技术有限公司

| | | |
|---|---|---|
| N27 | SPIM1_CSN1/USB_VBUS_EN4 | LVCMOS18/33 |
| L29 | SPIM1_CSN2/USB_OC_N4 | LVCMOS18/33 |
| J37 | RGMII1_TXD0/UART0_RXD/KEY_COL0 | LVCMOS18/33 |
| J39 | RGMII1_TXD1/UART0_TXD/KEY_COL1 | LVCMOS18/33 |
| G41 | RGMII1_RXD0/UART0_CTS_N/KEY_COL2 | LVCMOS18/33 |
| E43 | RGMII1_RXD1/UART0_RTS_N/KEY_COL3 | LVCMOS18/33 |
| L43 | RGMII1_TXCTL/UART0_DCD_N/KEY_COL4 | LVCMOS18/33 |
| C43 | RGMII1_RXD2/UART0_DSR_N/KEY_COL5 | LVCMOS18/33 |
| E41 | RGMII1_RXD3/MIO12_A/UART0_RI_N/KEY_COL6 | LVCMOS18/33 |
| L45 | RGMII1_RXCLK/MIO12_B/UART0_DTR_N/KEY_COL7 | LVCMOS18/33 |
| J43 | RGMII1_RXCTL/USB_VBUS_EN2/KEY_ROW0 | LVCMOS18/33 |
| J41 | RGMII1_TXCLK/USB_OC_N2/KEY_ROW1 | LVCMOS18/33 |
| L39 | RGMII1_TXD2/SPIM0_CSN3/KEY_ROW2 | LVCMOS18/33 |
| E37 | RGMII1_TXD3/SPIM0_CSN2/KEY_ROW3/GPIO1_8 | LVCMOS18/33 |
| E35 | MDC3/SPIM0_CSN1/KEY_ROW4/GPIO1_9 | LVCMOS18/33 |
| G35 | MDIO3/UART3_RTS_N/SPIM0_CSN0/KEY_ROW5/GPIO1_10 | LVCMOS18/33 |
| J35 | UART3_CTS_N/SPIM0_SCLK/KEY_ROW6 | LVCMOS18/33 |
| L37 | UART3_RXD/SPIM0_TXD/KEY_ROW7 | LVCMOS18/33 |
| N35 | UART3_TXD/SPIM0_RXD | LVCMOS18/33 |
| BANK5 | | |
| R51 | GPIO2_0/I2S_MCLK/FT_RSVD17/MDC3 | LVCMOS18 |
| R49 | GPIO2_1/I2S_BCLK/FT_RSVD18/MDIO3/PCIE1_PRSNT | LVCMOS18 |
| N51 | GPIO2_2/I2S_LRCK/FT_RSVD19/MDC2 | LVCMOS18 |
| N55 | I2S_SDO0/FT_RSVD20/MDIO2/PCIE2_PRSNT0 | LVCMOS18 |
| L55 | I2S_SDI0/FT_RSVD21 | LVCMOS18 |
| J55 | GPIO2_5/I2S_SDO1/FT_RSVD22/PCIE2_PRSNT1 | LVCMOS18 |
| J45 | GPIO2_6/I2S_SDI1/FT_RSVD23 | LVCMOS18 |
| E47 | GPIO2_7/I2S_SDO2/FT_RSVD24/PCIE2_PRSNT2 | LVCMOS18 |
| G47 | I2S_SDI2/SATA0_ACTLED | LVCMOS18 |
| J47 | I2S_SDO3/PCIE2_PRSNT3 | LVCMOS18 |
| J49 | I2S_SDI3/SATA1_ACTLED/MIO13_A | LVCMOS18 |
| N49 | GPIO2_11/MIO13_B | LVCMOS18 |
| L51 | GPIO2_12/MIO14_A | LVCMOS18 |
| L49 | GPIO2_13/MIO14_B | LVCMOS18 |
| N53 | GPIO2_14/MIO15_A | LVCMOS18 |
| J53 | GPIO2_15/MIO15_B | LVCMOS18 |
| RESERVED | | |


版权所有 © 飞腾信息技术有限公司

| | | |
|---|---|---|
| N17 | RFU_N17 | – |
| N19 | RFU_N19 | – |
| N21 | RFU_N21 | – |
| N23 | RFU_N23 | – |
| A53 | RFU_A53 | – |
| A55 | RFU_A55 | – |
| Y38 | RFU_Y38 | – |
| AC45 | RFU_AC45 | – |
| AA11 | RFU_AA11 | – |
| AA13 | RFU_AA13 | – |
| N11 | RFU_N11 | – |
| N13 | RFU_N13 | – |
| U13 | RFU_U13 | – |
| U11 | RFU_U11 | – |
| L11 | RFU_L11 | – |
| L9 | RFU_L9 | – |
| BA47 | RFU_BA47_DOWN | – |
| AW47 | RFU_AW47_DOWN | – |

说明

注 1:SPIM0、MDC/MDIO0-3、PCIE2_PRSNT0、PCIE2_PRSNT1、PCIE2_PRSNT2、PCIE2_PRSNT3、PCIE0_PRSNT、PCIE1_PRSNT 存在第二复用位置；

注 2：RFU 信号未添加 DOWN 后缀的，在芯片应用中保持管脚悬空处理；添加 DOWN 后缀的信号，在应用中将该管脚接地处理。

## 2.1.2 电源引脚信息

表 2-2 飞腾派电源引脚信息

| 引脚 | 信号名 |
|---|---|
| AC20, AH20, AN20, AR23 | AVDDL |
| R18, V15, V20, Y18 | AVDDH |
| AE18, AH15, AK18, AN15, AR18, AV20 | AVDD_CLK |
| V40 | PLL_AVDDL |
| AH35 | PLL_DVDDL_0 |
| Y23 | PLL_DVDDL_1 |
| AH45 | PLL_AVDDH_0 |
| AE23 | PLL_AVDDH_1 |


版权所有 © 飞腾信息技术有限公司

| | |
|---|---|
| AY43, BC45 | VDDIO_0 |
| R28, V30 | VDDIO_1 |
| AR43, AV45 | VDDIO_2 |
| AN45 | VDDIO_3 |
| R43, V45 | VDDIO_4 |
| AH40, AK43 | VDDIO18 |
| AY18 | USB2_VDDA_0 |
| Y33 | USB2_VDDA_1 |
| BE18 | USB2_VCCA18_0 |
| AC40 | USB2_VCCA18_1 |
| BC15 | USB2_VCCA33_0 |
| V35 | USB2_VCCA33_1 |
| AE43 | EFUSE_VQPS |
| Y43 | PUF_OTP_VDD |
| W47 | VDD33 |
| BG29 | VDDQ_CK |
| BG17, BG21, BG23, BG27, BJ19, BJ25, BJ29 | VDDQ |
| AE38 | VDDA |
| AC25, AC30, AC35, AE28, AE33, AH25, AH30, AK23, AK28, AK33, AK38, AN25, AN30, AN35, AN40, AR28, AR33, AR38, AV25, AV30, AV35, AV40, AY23, AY28, AY33, AY38, BC20, BC25, BC30, BC35, BC40, BE23, BE28, BE33, BE38, BE43, R23, V25 | VDD |
| A13, A17, A21, A25, A29, A3, A57, A9, AA1, AA3, AA53, AA55, AA9, AC11, AC13, AC15, AC18, AC23, AC28, AC33, AC38, AC43, AC47, AC5, AC51, AC7, AC9, AE1, AE13, AE15, AE20, AE25, AE3, AE30, AE35, AE40, AE45, AE57, AE9, AG13, AG5, AG53, AG7, AH18, AH23, AH28, AH33, AH38, AH43, AJ1, AJ13, AJ3, AJ47, AJ9, AK15, AK20, AK25, AK30, AK35, AK40, AK45, AL13, AL5, AL51, AL57, AL7, AL9, AN13, AN18, AN23, AN28, AN3, AN33, AN38, AN43, AN53, AN55, AN9, AR13, AR15, AR20, AR25, AR30, AR35, AR40, AR45, AR47, AR53, AR7, AR9, AU1, AU13, AU3, AU57, AU9, AV15, AV18, AV23, AV28, AV33, AV38, AV43, AW13, AW5, AW9, AW49, AW53, AY15, AY20, AY25, AY30, AY35, AY40, AY45, BA13, BA51, BA9, BC11, BC13, BC18, BC23, BC28, BC3, BC33, BC38, BC43, BC47, BC53, BC57, BE11, BE13, BE15, BE20, BE25, BE30, BE35, BE40, BE45, BE49, BE5, BE55, BE9, BG11, BG13, BG15, BG19, BG25, BG31, BG33, BG35, BG37, BG39, BG45, BG51, BG57, BG7, BJ15, BJ21, BJ23, BJ27, BJ3, BJ31, BJ35, BJ39, BJ49, BJ9, BL11, BL17, BL35, BL43, BL5, BL55, BN11, BN13, BN17, BN21, BN23, BN25, BN29, BN31, BN35, BN39, BN41, BN45, BN51, BN57, BN7, BR11, BR15, BR17, BR21, BR23, BR27, BR29, BR3, BR33, BR35, BR41, BR47, BU13, BU19, BU25, BU31, BU37, BU43, BU49, BU55, BU59, BU9, BW3, BW57, C13, C17, C21, C25, C29, C35, C41, C47, C5, C51, C7, C9, E1, E11, E15, E19, E23, E27, E3, E33, E39, E45, E53, G11, G15, G19, G23, G27, G33, G37, G39, G43, G45, G49, G5, G57, G7, J1, J11, J15, J19, J23, J27, J3, J51, J9, L15, L19, L | VSS |


版权所有 © 飞腾信息技术有限公司

| | |
|---|---|
| 23, L27, L35, L41, L47, L5, L53, L7, N1, N15, N25, N3, N31, N57, N9, R11, R13, R15, R20, R25, R30, R33, R35, R38, R40, R45, R5, R53, R55, R7, R9, U1, U3, U47, U51, U9, V18, V23, V28, V33, V38, V43, W11, W13, W5, W57, W7, W9, Y15, Y20, Y30, Y35, Y40, Y45 | |
| Y25 | SENSEVDD[1] |
| Y28 | SENSEGND[1] |
| AU47 | SMCORE_0[2] |
| N29 | SMCORE_1[2] |
| AN47 | SMCORE_2[2] |
| AG47 | SMCORE_3[2] |
| N37 | SMCORE_4[2] |

说明

注[1]：SENSEVDD、SENSEGND 可接入 VDD 供电芯片作为反馈点，若不需要使用，将管脚悬空即可；

注[2]：SMCORE_x 为 BANK 电压配置管脚，具体使用见第 3.5 章节。

## 2.1.3 不使用时处理方式

对于飞腾派芯片的引脚，除表 2-3 中特殊说明的，均可浮空处理。

表 2-3 飞腾派特殊引脚处理方式

| 引脚序号 | 信号名称 | 不使用时处理方式 |
|---|---|---|
| BA47 | RFU_BA47_DOWN | 接地 |
| AW47 | RFU_AW47_DOWN | 接地 |

## 2.1.4 复用引脚说明

由于芯片引脚数量有限，飞腾派芯片在部分高速以及低速 IO 接口均存在复用关系，板级设计时需明确复用关系，并根据实际应用场景和特定用途决定用哪些功能接口。可以对通用引脚的电气特性，比如驱动能力、传输延迟、上下拉等特性进行配置。高速接口复用关系如通用引脚复用关系如表 2-4 所示；低速 IO 复用表 2-5 所示，表中功能 0 到功能 6 表示同一个引脚复用的 7 个功能，复位后默认功能为功能 0。

### 2.1.4.1 高速引脚复用

表 2-4 飞腾派高速引脚复用表

| 引脚 | 复用 0 | 复用 1 | 复用 2 |
|---|---|---|---|
| AA5 | PCIE0_TXP | USB3_P0_TXP | |
| AA7 | PCIE0_TXN | USB3_P0_TXN | |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| W1 | PCIE0_RXP | USB3_P0_RXP | |
| W3 | PCIE0_RXN | USB3_P0_RXN | |
| AE5 | PCIE1_TXP | USB3_P1_TXP | SATA0_TXP |
| AE7 | PCIE1_TXN | USB3_P1_TXN | SATA0_TXN |
| AC1 | PCIE1_RXP | USB3_P1_RXP | SATA0_RXP |
| AC3 | PCIE1_RXN | USB3_P1_RXN | SATA0_RXN |
| G9 | SGMII0_TXP | USXGMII0_TXP | |
| E9 | SGMII0_TXN | USXGMII0_TXN | |
| C11 | SGMII0_RXP | USXGMII0_RXP | |
| A11 | SGMII0_RXN | USXGMII0_RXN | |
| G13 | SGMII1_TXP | USXGMII1_TXP | SATA1_TXP |
| E13 | SGMII1_TXN | USXGMII1_TXN | SATA1_TXN |
| C15 | SGMII1_RXP | USXGMII1_RXP | SATA1_RXP |
| A15 | SGMII1_RXN | USXGMII1_RXN | SATA1_RXN |
| G17 | SGMII2_TXP | DP0_L0_P | |
| E17 | SGMII2_TXN | DP0_L0_N | |
| G25 | SGMII3_TXP | DP1_L0_P | |
| E25 | SGMII3_TXN | DP1_L0_N | |

### 2.1.4.2 低速 IO PAD 类型

如图为低速 IO PAD 的示意图，其中包括双向三态、16 级驱动强度可调，带有施密特触发器和上下拉的 IO pad。

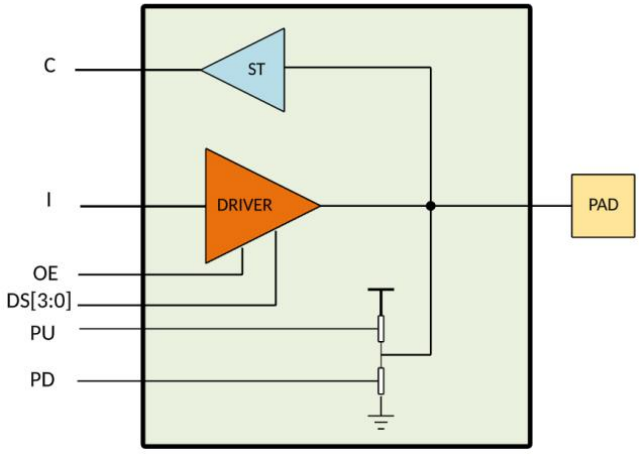


图 2-1 低速 IO PAD 示意图


版权所有 © 飞腾信息技术有限公司

### 2.1.4.3 低速 IO 引脚复用

表 2-5 飞腾派低速引脚复用表

| 引脚 | 功能 0 | 功能 1 | 功能 2 | 功能 3 | 功能 4 | 功能 5 | 功能 6 | 片内上下拉[1] |
|---|---|---|---|---|---|---|---|---|
| BANK0 | | | | | | | | |
| AU53 | CLK_REF_50M | \ | \ | \ | \ | \ | \ | — |
| AU49 | CPU_POR_N | \ | \ | \ | \ | \ | \ | UP |
| AN59 | \ | \ | \ | \ | \ | GPIO0_0 | \ | SEL, DOWN |
| AR55 | QSPI_CSN0 | \ | \ | \ | \ | \ | \ | SEL, UP |
| AJ55 | QSPI_SCK | \ | \ | \ | \ | \ | \ | SEL |
| AL55 | QSPI_SO_IO0 | \ | \ | \ | \ | \ | \ | SEL |
| AL53 | QSPI_SI_IO1 | \ | \ | \ | \ | \ | \ | SEL |
| AN51 | QSPI_WP_IO2 | \ | \ | \ | \ | \ | \ | SEL, UP |
| AR51 | QSPI_HOLD_IO3 | \ | \ | \ | \ | \ | \ | SEL, UP |
| BA57 | SE_CFG0 | \ | \ | \ | \ | GPIO0_7 | \ | SEL |
| BA59 | SE_CFG1 | \ | \ | \ | \ | GPIO0_8 | \ | SEL |
| AW57 | SE_CFG2 | \ | \ | \ | \ | GPIO0_9 | \ | SEL |
| AW59 | SE_CFG3 | \ | \ | \ | \ | GPIO0_10 | \ | SEL |
| AU55 | SE_CFG4 | \ | \ | \ | \ | GPIO0_11 | \ | SEL |
| AN57 | \ | TACH0 | \ | \ | \ | GPIO0_12 | \ | SEL, DOWN |
| AL59 | \ | PWM0 | \ | \ | \ | GPIO0_13 | \ | SEL, DOWN |
| AJ59 | \ | TACH1 | \ | \ | \ | GPIO0_14 | \ | SEL, DOWN |
| AJ57 | \ | PWM1 | \ | \ | \ | GPIO0_15 | \ | SEL, DOWN |


版权所有 © 飞腾信息技术有限公司

| | | | | | | | | |
|---|---|---|---|---|---|---|---|---|
| AG59 | \ | TACH2 | \ | \ | \ | GPIO1_0 | \ | SEL, DOWN |
| AG57 | \ | PWM2 | \ | \ | \ | GPIO1_1 | \ | SEL, DOWN |
| AE59 | \ | TACH3 | PCIE0_PRSNT | \ | \ | GPIO1_2 | \ | SEL, DOWN |
| AC59 | \ | PWM3 | \ | \ | \ | GPIO1_3 | \ | SEL, DOWN |
| AC57 | \ | \ | \ | \ | \ | GPIO1_4 | \ | SEL, DOWN |
| AR49 | QSPI_CSN1 | \ | \ | \ | \ | GPIO1_5 | \ | SEL, UP |
| BANK1 | | | | | | | | |
| BA55 | SE_SCL | \ | USB_VBUS_EN0 | \ | MIO3_A | GPIO1_6 | \ | SEL, UP |
| BA53 | SE_SDA | \ | USB_OC_N0 | \ | MIO3_B | GPIO1_7 | \ | SEL, UP |
| AR59 | SE_SMBCLK | \ | \ | \ | \ | \ | \ | SEL, UP |
| AU59 | SE_SMBDAT | \ | \ | \ | \ | \ | \ | SEL, UP |
| AR57 | SE_SMBALT | \ | \ | \ | \ | \ | \ | SEL, UP |
| BA49 | SE_UART_RXD | \ | \ | \ | \ | GPIO1_11 | \ | SEL, UP |
| AW55 | SE_UART_TXD | \ | \ | \ | \ | GPIO1_12 | \ | SEL |
| A35 | \ | \ | \ | \ | \ | GPIO1_13 | \ | SEL |
| R57 | FJTAG_NTRST | \ | \ | \ | \ | \ | GPIO1_14 | SEL |
| R59 | FJTAG_TDI | \ | \ | \ | \ | \ | GPIO1_15 | SEL |
| U59 | FJTAG_TCK | \ | \ | \ | \ | \ | \ | SEL |
| W59 | FJTAG_TDO | \ | \ | \ | \ | \ | \ | SEL |
| U57 | FJTAG_TMS | \ | \ | \ | \ | \ | \ | SEL, UP |
| AA57 | \ | \ | \ | \ | MIO6_A | \ | GPIO2_3 | SEL |
| AA59 | \ | \ | \ | \ | MIO6_B | \ | GPIO2_4 | SEL |
| AW51 | UART1_RXD | \ | \ | \ | \ | \ | \ | SEL, UP |
| AU51 | UART1_TXD | \ | \ | \ | \ | \ | \ | SEL |


版权所有 © 飞腾信息技术有限公司

| | | | | | | | | |
|---|---|---|---|---|---|---|---|---|
| A39 | CRU_CLK_OBV | \ | \ | \ | \ | \ | \ | SEL |
| C39 | CRU_RST_OK | \ | \ | \ | \ | \ | GPIO2_8 | SEL |
| C37 | DP0_HPD | \ | \ | \ | UART1_CTS_N | QSPI_CSN2 | GPIO2_9 | SEL, DOWN |
| A37 | DP1_HPD | \ | \ | \ | UART1_RTS_N | QSPI_CSN3 | GPIO2_10 | SEL, DOWN |
| A41 | CAN0_TX | \ | \ | \ | \ | MIO0_A | \ | SEL, UP |
| A43 | CAN0_RX | PCIE2_PRSNT0 | \ | \ | \ | MIO0_B | \ | SEL, UP |
| A45 | CAN1_TX | \ | \ | \ | \ | MIO1_A | \ | SEL, UP |
| C45 | CAN1_RX | PCIE2_PRSNT1 | \ | \ | \ | MIO1_B | \ | SEL, UP |
| A47 | UART2_RXD | \ | \ | \ | \ | MIO2_A | \ | SEL, UP |
| A49 | UART2_TXD | PCIE2_PRSNT2 | \ | \ | SPIM2_CSN3 | MIO2_B | GPIO3_0 | SEL |
| C49 | UART2_CTS_N | \ | \ | \ | SPIM2_CSN2 | MIO10_A | GPIO3_1 | SEL, UP |
| A51 | UART2_RTS_N | PCIE2_PRSNT3 | \ | \ | SPIM2_CSN1 | MIO10_B | GPIO3_2 | SEL, UP |
| A33 | SPIM2_SCLK | | \ | \ | MDC1 | \ | GPIO3_3 | SEL |
| C33 | SPIM2_TXD | | \ | \ | MDIO1 | \ | GPIO3_4 | SEL |
| C31 | SPIM2_RXD | | \ | \ | MDC0 | \ | GPIO3_5 | SEL, UP |
| A31 | SPIM2_CSN0 | | \ | \ | MDIO0 | \ | GPIO3_6 | SEL, UP |
| BANK2 | | | | | | | | |
| AJ53 | SD0_DET_N | NF_RB_N2 | \ | MDC1 | \ | \ | GPIO3_7 | SEL, UP |
| AL49 | SD0_PWR_EN | NF_WP_N | \ | MDIO1 | \ | \ | GPIO3_8 | SEL |
| AL47 | SD0_VOLT0 | NF_DQS | \ | MDC0 | \ | \ | GPIO3_9 | SEL, DOWN |
| AN49 | SD0_INT_N | NF_CE_N2 | \ | MDIO0 | \ | \ | GPIO3_10 | SEL, UP |
| AG51 | SD0_RST_N | NF_RB_N3 | \ | \ | \ | \ | GPIO3_11 | SEL, UP |
| AJ51 | SD0_CMD | NF_CE_N3 | \ | \ | \ | \ | GPIO3_12 | SEL, UP |
| AG49 | SD0_DATA0 | \ | \ | \ | \ | \ | GPIO3_13 | SEL, UP |


版权所有 © 飞腾信息技术有限公司

| | | | | | | | | |
|---|---|---|---|---|---|---|---|---|
| AE55 | SDO_DATA1 | \ | \ | \ | \ | \ | GPIO3_14 | SEL,UP |
| AE53 | SDO_DATA2 | \ | \ | \ | \ | \ | GPIO3_15 | SEL,UP |
| AG55 | SDO_DATA3 | \ | \ | \ | \ | \ | GPIO4_0 | SEL,UP |
| AJ49 | SDO_CLK | \ | \ | \ | \ | \ | GPIO4_1 | SEL |
| AC55 | NF_RB_N0 | SDO_DATA4 | \ | \ | \ | \ | GPIO4_2 | SEL,UP |
| AC53 | NF_WEN_CLK | SDO_DATA5 | \ | \ | \ | \ | GPIO4_3 | SEL |
| AE51 | NF_REN_WRN | SDO_DATA6 | \ | \ | \ | \ | GPIO4_4 | SEL |
| W51 | NF_CLE | SDO_DATA7 | \ | \ | \ | \ | GPIO4_5 | SEL |
| W55 | NF_ALE | \ | SPIM0_SCLK | \ | \ | \ | GPIO4_6 | SEL |
| W53 | NF_DATA0 | SDO_VOLT1 | SPIM0_TXD | \ | \ | \ | GPIO4_7 | SEL,UP |
| U55 | NF_DATA1 | SDO_WP_N | SPIM0_RXD | \ | \ | \ | GPIO4_8 | SEL,UP |
| U53 | NF_DATA2 | \ | SPIM0_CSN0 | \ | \ | \ | GPIO4_9 | SEL,UP |
| AE49 | NF_DATA3 | PCIE0_PRSNT | SPIM0_CSN1 | \ | \ | \ | GPIO4_10 | SEL,UP |
| AC49 | NF_DATA4 | \ | SPIM0_CSN2 | \ | \ | \ | GPIO4_11 | SEL,UP |
| AE47 | NF_DATA5 | PCIE1_PRSNT | SPIM0_CSN3 | \ | \ | \ | GPIO4_12 | SEL,UP |
| AA47 | NF_DATA6 | JTAGM_NTRST | \ | \ | \ | \ | GPIO4_13 | SEL,UP |
| AA49 | NF_DATA7 | JTAGM_TCK | \ | \ | MIO8_A | \ | GPIO4_14 | SEL,UP |
| W49 | NF_CE_N0 | JTAGM_TMS | \ | \ | MIO8_B | \ | GPIO4_15 | SEL,UP |
| AA51 | NF_CE_N1 | JTAGM_TDI | \ | \ | MIO9_A | \ | GPIO5_0 | SEL,UP |
| U49 | NF_RB_N1 | JTAGM_TDO | \ | \ | MIO9_B | \ | GPIO5_1 | SEL,UP |
| BANK3 | | | | | | | | |
| G59 | SD1_CMD | NF_DATA8 | \ | \ | MIO11_A | \ | GPIO5_2 | SEL,UP |
| J59 | SD1_DATA0 | NF_DATA9 | \ | FT_RSVD0 | MIO11_B | \ | GPIO5_3 | SEL,UP |
| L57 | SD1_DATA1 | NF_DATA10 | \ | FT_RSVD1 | FT_RSVD2 | \ | GPIO5_4 | SEL,UP |


版权所有 © 飞腾信息技术有限公司

| | | | | | | | | |
|---|---|---|---|---|---|---|---|---|
| C59 | SD1_DATA2 | NF_DATA11 | \ | FT_RSVD3 | FT_RSVD4 | \ | GPIO5_5 | SEL,UP |
| E59 | SD1_DATA3 | NF_DATA12 | \ | FT_RSVD5 | FT_RSVD6 | \ | GPIO5_6 | SEL,UP |
| J57 | SD1_CLK | NF_DATA13 | \ | FT_RSVD7 | FT_RSVD8 | \ | GPIO5_7 | SEL |
| L59 | SD1_DET_N | NF_DATA14 | \ | FT_RSVD9 | FT_RSVD10 | \ | GPIO5_8 | SEL,UP |
| N59 | SD1_WP_N | NF_DATA15 | \ | FT_RSVD11 | FT_RSVD12 | \ | GPIO5_9 | SEL,DOWN |
| C57 | SD1_VOLT0 | \ | \ | FT_RSVD13 | FT_RSVD14 | \ | GPIO5_10 | SEL,DOWN |
| E57 | SD1_VOLT1 | \ | \ | FT_RSVD15 | FT_RSVD16 | \ | GPIO5_11 | SEL,DOWN |
| BANK4 | | | | | | | | |
| E31 | \ | RGMII0_TXD0 | \ | MIO4_A | SPIM3_SCLK | \ | GPIO5_12 | SEL |
| G31 | \ | RGMII0_TXD1 | \ | MIO4_B | SPIM3_TXD | SD1_PWR_EN | GPIO5_13 | SEL |
| N41 | \ | RGMII0_RXD0 | \ | MIO5_A | SPIM3_RXD | \ | GPIO5_14 | SEL |
| N39 | \ | RGMII0_RXD1 | \ | MIO5_B | SPIM3_CSN0 | \ | GPIO5_15 | SEL |
| J33 | \ | RGMII0_TXCTL | \ | \ | SPIM3_CSN1 | \ | GPIO0_1 | SEL,UP |
| N33 | \ | RGMII0_RXD2 | \ | \ | SPIM3_CSN2 | \ | GPIO0_2 | SEL |
| L33 | \ | RGMII0_RXD3 | \ | MIO7_A | SPIM3_CSN3 | \ | GPIO0_3 | SEL |
| N45 | \ | RGMII0_RXCLK | \ | MIO7_B | SPIM1_CSN3 | SD1_INT_N | GPIO0_4 | SEL |
| N43 | \ | RGMII0_RXCTL | \ | \ | SPIM1_SCLK | USB_VBUS_EN1 | GPIO0_5 | SEL |
| L31 | \ | RGMII0_TXCLK | \ | \ | SPIM1_TXD | USB_OC_N1 | GPIO0_6 | SEL |
| J31 | \ | RGMII0_TXD2 | \ | \ | SPIM1_RXD | \ | \ | SEL |
| J29 | \ | RGMII0_TXD3 | \ | \ | SPIM1_CSN0 | \ | \ | SEL |
| E29 | \ | MDC2 | \ | \ | \ | USB_VBUS_EN3 | \ | SEL |
| G29 | \ | MDIO2 | \ | \ | \ | USB_OC_N3 | \ | SEL |
| N27 | \ | \ | \ | \ | SPIM1_CSN1 | USB_VBUS_EN4 | \ | SEL |
| L29 | \ | \ | \ | \ | SPIM1_CSN2 | USB_OC_N4 | \ | SEL |


版权所有 © 飞腾信息技术有限公司

| | | | | | | | | |
|---|---|---|---|---|---|---|---|---|
| J37 | \ | RGMII1_TXD0 | \ | \ | UART0_RXD | KEY_COL0 | \ | SEL |
| J39 | \ | RGMII1_TXD1 | \ | \ | UART0_TXD | KEY_COL1 | \ | SEL |
| G41 | \ | RGMII1_RXD0 | \ | \ | UART0_CTS_N | KEY_COL2 | \ | SEL |
| E43 | \ | RGMII1_RXD1 | \ | \ | UART0_RTS_N | KEY_COL3 | \ | SEL |
| L43 | \ | RGMII1_TXCTL | \ | \ | UART0_DCD_N | KEY_COL4 | \ | SEL |
| C43 | \ | RGMII1_RXD2 | \ | \ | UART0_DSR_N | KEY_COL5 | \ | SEL |
| E41 | \ | RGMII1_RXD3 | \ | MIO12_A | UART0_RI_N | KEY_COL6 | \ | SEL |
| L45 | \ | RGMII1_RXCLK | \ | MIO12_B | UART0_DTR_N | KEY_COL7 | \ | SEL |
| J43 | \ | RGMII1_RXCTL | \ | USB_VBUS_EN2 | \ | KEY_ROW0 | \ | SEL |
| J41 | \ | RGMII1_TXCLK | \ | USB_OC_N2 | \ | KEY_ROW1 | \ | SEL |
| L39 | \ | RGMII1_TXD2 | \ | SPIM0_CSN3 | \ | KEY_ROW2 | \ | SEL |
| E37 | \ | RGMII1_TXD3 | \ | SPIM0_CSN2 | \ | KEY_ROW3 | GPIO1_8 | SEL |
| E35 | \ | MDC3 | \ | SPIM0_CSN1 | \ | KEY_ROW4 | GPIO1_9 | SEL |
| G35 | \ | MDIO3 | UART3_RTS_N | SPIM0_CSN0 | \ | KEY_ROW5 | GPIO1_10 | SEL |
| J35 | \ | \ | UART3_CTS_N | SPIM0_SCLK | \ | KEY_ROW6 | \ | SEL |
| L37 | \ | \ | UART3_RXD | SPIM0_TXD | \ | KEY_ROW7 | \ | SEL |
| N35 | \ | \ | UART3_TXD | SPIM0_RXD | \ | \ | \ | SEL |
| BANK5 | | | | | | | | |
| R51 | GPIO2_0 | I2S_MCLK | FT_RSVD17 | \ | \ | MDC3 | \ | SEL |
| R49 | GPIO2_1 | I2S_BCLK | FT_RSVD18 | \ | \ | MDIO3 | PCIE1_PRSNT | SEL |
| N51 | GPIO2_2 | I2S_LRCK | FT_RSVD19 | \ | \ | MDC2 | \ | SEL |
| N55 | \ | I2S_SDO0 | FT_RSVD20 | \ | \ | MDIO2 | PCIE2_PRSNT0 | SEL |
| L55 | \ | I2S_SDI0 | FT_RSVD21 | \ | \ | \ | \ | SEL |
| J55 | GPIO2_5 | I2S_SDO1 | FT_RSVD22 | \ | \ | \ | PCIE2_PRSNT1 | SEL |


版权所有 © 飞腾信息技术有限公司

| | | | | | | | | |
|---|---|---|---|---|---|---|---|---|
| J45 | GPIO2_6 | I2S_SDI1 | FT_RSVD23 | \ | \ | \ | \ | SEL |
| E47 | GPIO2_7 | I2S_SDO2 | FT_RSVD24 | \ | \ | \ | PCIE2_PRSNT2 | SEL |
| G47 | \ | I2S_SDI2 | SATA0_ACTLED | \ | \ | \ | \ | SEL |
| J47 | \ | I2S_SDO3 | \ | \ | \ | \ | PCIE2_PRSNT3 | SEL |
| J49 | \ | I2S_SDI3 | SATA1_ACTLED | \ | \ | \ | MIO13_A | SEL |
| N49 | GPIO2_11 | \ | \ | \ | \ | \ | MIO13_B | SEL |
| L51 | GPIO2_12 | \ | \ | \ | \ | \ | MIO14_A | SEL |
| L49 | GPIO2_13 | \ | \ | \ | \ | \ | MIO14_B | SEL |
| N53 | GPIO2_14 | \ | \ | \ | \ | \ | MIO15_A | SEL |
| J53 | GPIO2_15 | \ | \ | \ | \ | \ | MIO15_B | SEL |

说明

注[1]：片内上下拉列内容含义如下：“SEL”：该引脚支持片内电阻上下拉设置；“-”：该引脚不支持片内电阻上下拉设置；“UP”/“DOWN”：该引脚片内电阻默认上拉/下拉设置，且默认设置适用于功能 0，其余功能需要做相应配置更改；

注[2]：PAD 复用进行配置时，禁止将各 IO 引脚的寄存器配置到不存在的功能上；特别注意复用恢复默认设置时，BANK5 内引脚 N55\L55\G47\J47\J49 需将复用功能从 FUNC0 配走，否则 GPIO2_3\GPIO2_4\GPIO2_8\GPIO2_9\GPIO2_10 功能使用异常。


版权所有 © 飞腾信息技术有限公司

## 2.1.5 Pin Map

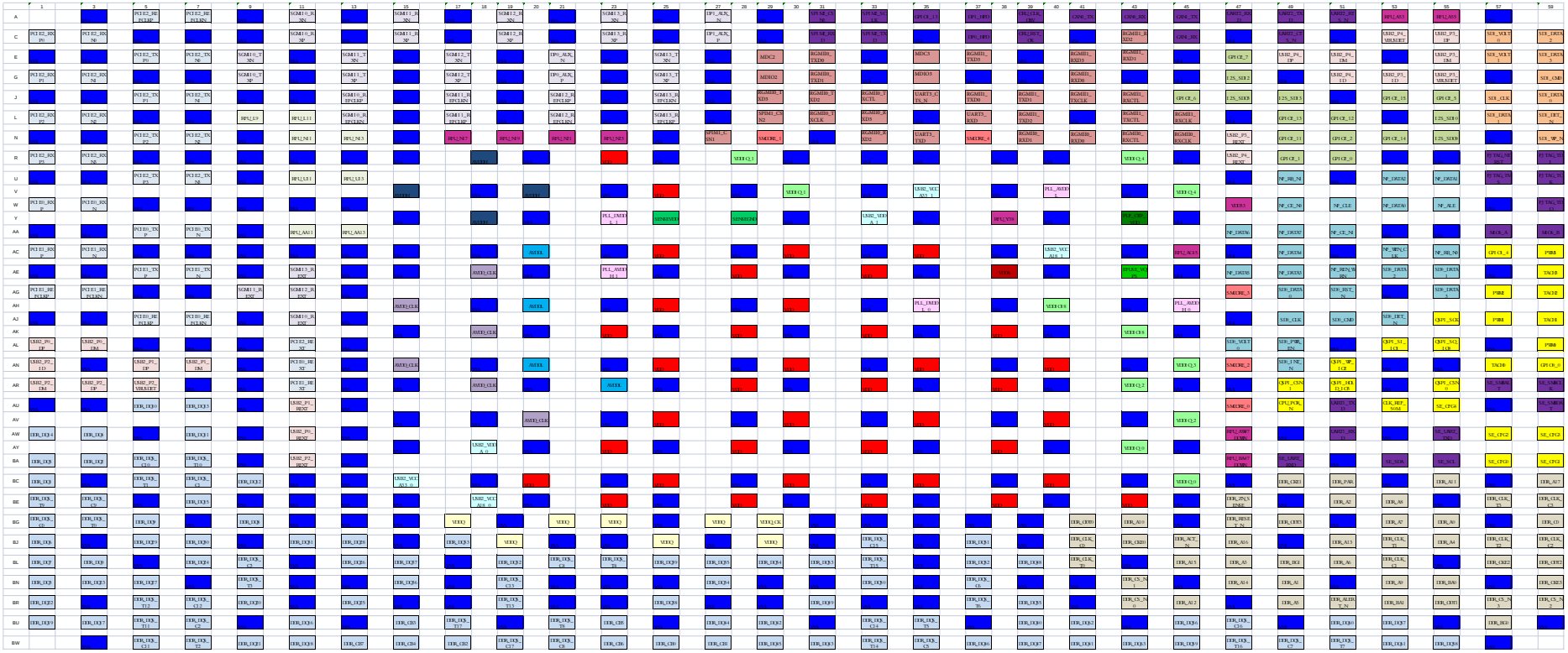

图 2-2 飞腾派 BGA MAP 结构图


版权所有 © 飞腾信息技术有限公司

# 2.2 DDR 内存接口

## 2.2.1 接口特性

飞腾派处理器的 DDR 控制器作为芯片的片外大容量存储控制部件，负责管理全芯片的主存储器空间。DDR 控制器主要特性如下：

- 支持 DDR4、LPDDR4 协议；
- 支持的器件类型：DDR4：X8、X16；LPDDR4：X16、X32；
- 支持的接口电压：DDR4——1.2V；LPDDR4——1.1V；
- DDR4 最多支持 4Rank、LPDDR4 支持 2Rank；
- DDR4 容量范围为 1GB~128GB，LPDDR4 容量范围为 512MB~16GB；
- 支持 72bit 数据，包含 64bit 数据和 8bit 开关可配置带外 ECC，支持全位宽模式和半位宽模式(仅支持低 32bit 数据和低 4bit ECC)；
- 支持多种低功耗功能，包括 DRAM 自刷新、DDR 控制器时钟关断和电源关断；
- 支持多种频率点的时序参数组合，详见表 2-6、表 2-7；

说明

- **64 位 2Rank LPDDR4 最大支持 2133MT/s，其余最大支持 2400MT/s；**
- **64 位 LPDDR4 的性能，stream 带宽低于同频下的 32 位 LPDDR4，lmbench 延迟高于同频下的 32 位 LPDDR4，相比 32 位 LPDDR4 其主要优势是可支持更高的存储容量。**

表 2-6 支持的 DDR4 时序参数组合

| DRAM 类型 | 频率 | CL[1] | tRCD[2] | tRP[3] | CWL[4] |
|---|---|---|---|---|---|
| DDR4 | 2400 | 15/16/17/18 | 15/16/17/18 | 15/16/17/18 | 12/16 |
| DDR4 | 2133 | 14/15/16 | 14/15/16 | 14/15/16 | 11/14 |
| DDR4 | 1866 | 12/13/14 | 12/13/14 | 12/13/14 | 10/12 |
| DDR4 | 1600 | 10/11/12 | 10/11/12 | 10/11/12 | 9/11 |

说明

注[1]：CL：CAS Latency(读命令到读数据的时钟周期数)；

注[2]：tRCD：RAS-to-CAS delay(行激活命令到读写命令的延迟周期数)；

注[3]：tRP：Precharge Period(预充电时间周期数)；

注[4]：CWL：CAS Write Latency(写命令到写数据的时钟周期数)。


版权所有 © 飞腾信息技术有限公司

表 2-7 支持的 LPDDR4 时序参数组合

| DRAM 类型 | 频率 | RL[1] | tRCD[2] | tRP[3] | WL[4] |
|---|---|---|---|---|---|
| LPDDR4 | 2400 | 24/28 | 18ns | | 12/22 |
| LPDDR4 | 2133 | 20/22 | | | 10/18 |
| LPDDR4 | 1600 | 14/16 | | | 8/12 |
| LPDDR4 | 1066 | 10/12 | | | 6/8 |

说明

注[1]：RL：Read Latency(读命令到读数据的时钟周期数)；

注[2]：tRCD：RAS-to-CAS delay(行激活命令到读写命令的延迟周期数)；

注[3]：tRP：Precharge Period(预充电时间周期数)；

注[4]：WL：Write Latency(写命令到写数据的时钟周期数)。

## 2.2.2 信号描述

飞腾派 DDR4 模式与 LPDDR4 模式信号描述如表 2-8 所示。

表 2-8 飞腾派 DDR4 与 LPDDR4 信号描述

| DDR4 | | | LPDDR4 | | |
|---|---|---|---|---|---|
| 信号名称 | 方向 | 信号描述 | 信号名称 | 方向 | 信号描述 |
| DDR_A0 | O | DDR4 地址和控制命令信号，包括 BankAddress、BankGroup 等 | L_CA0 | O | LPDDR4 地址和控制命令 |
| DDR_A1 | O | | L_CA1 | O | |
| DDR_A2 | O | | L_CA2 | O | |
| DDR_A3 | O | | L_CA3 | O | |
| DDR_A4 | O | | L_CA4 | O | |
| DDR_A5 | O | | L_CA5 | O | |
| DDR_A6 | O | | U_CA0 | O | |
| DDR_A7 | O | | U_CA1 | O | |
| DDR_A8 | O | | U_CA2 | O | |
| DDR_A9 | O | | U_CA3 | O | |
| DDR_A10 | O | | U_CA4 | O | |
| DDR_A11 | O | | U_CA5 | O | |
| DDR_A12 | O | | | | |
| DDR_A13 | O | | | | |
| DDR_A14/WE_N | O | | CS_N11 | O | LPDDR4 通道的片选信号 |
| DDR_A15/CAS_N | O | | CS_N10 | O | |


版权所有 © 飞腾信息技术有限公司

| | | | | | |
|---|---|---|---|---|---|
| DDR_A16/RAS_N | O | | CS_N9 | O | |
| DDR_A17 | O | | | | |
| DDR_BA0 | O | | CS_N12 | O | |
| DDR_BA1 | O | | CS_N13 | O | |
| DDR_BG0 | O | | CS_N7 | O | |
| DDR_BG1 | O | | | | |
| DDR_C0 | O | DDR4 通道的 ChipID | | | |
| DDR_CKE[3:0] | O | DDR4 通道的时钟使能信号 | DDR_CKE[3:0] | O | LPDDR4 通道的时钟使能信号 |
| DDR_CS_N[3:0] | O | DDR4 通道的片选信号 | DDR_CS_N[3:0] | O | |
| DDR_ODT0 | O | DDR4 通道的终端匹配电阻的使能控制信号 | CS_N4 | O | LPDDR4 通道的片选信号 |
| DDR_ODT1 | O | | CS_N5 | O | |
| DDR_ODT2 | O | | CS_N6 | O | |
| DDR_ODT3 | O | | CS_N8 | O | |
| DDR_ZN_SENSE | I/O | 阻抗校准接口信号 | DDR_ZN_SENSE | I/O | 阻抗校准接口信号 |
| DDR_ACT_N | O | Activation 命令接口信号 | CS_N14 | O | LPDDR4 通道的片选信号 |
| DDR_ALERT_N | I | 警告信号 | | | |
| DDR_RESET_N | O | DDR4 复位信号 | DDR_RESET_N | O | LPDDR4 复位信号 |
| DDR_PAR | O | DDR4 通道的校验信号 | CS_N15 | O | LPDDR4 通道的片选信号 |
| DDR_CLK_T[3:0] | O | DDR4 通道的差分时钟 | DDR_CLK_T[3:0] | O | LPDDR4 通道的差分时钟 |
| DDR_CLK_C[3:0] | O | | DDR_CLK_C[3:0] | O | |
| DDR_DQS_T[7:0] | I/O | DDR4 数据差分选通信号 | DDR_DQS_T[7:0] | I/O | LPDDR4 数据差分选通信号 |
| DDR_DQS_C[7:0] | I/O | | DDR_DQS_C[7:0] | I/O | |
| DDR_DQS_T8 | I/O | | | | |
| DDR_DQS_C8 | I/O | | | | |
| DDR_DQS_T[16:9] | I/O | | DM[7:0] | I/O | LPDDR4 掩码屏蔽信号 |
| DDR_DQS_C[16:9] | I/O | | | | |
| DDR_DQS_T17 | I/O | | | | |
| DDR_DQS_C17 | I/O | | | | |
| DDR_DQ[63:0] | I/O | DDR4 64 位数据 | DDR_DQ[63:0] | I/O | LPDDR4 64 位数据 |
| DDR_CB[7:0] | I/O | DDR4 校验数据信号 | | | |


版权所有 © 飞腾信息技术有限公司

### 2.2.3 引脚分布

飞腾派芯片 DDR 通道的引脚分布如图 2-3 所示，红色部分表示内存信号有关引脚。

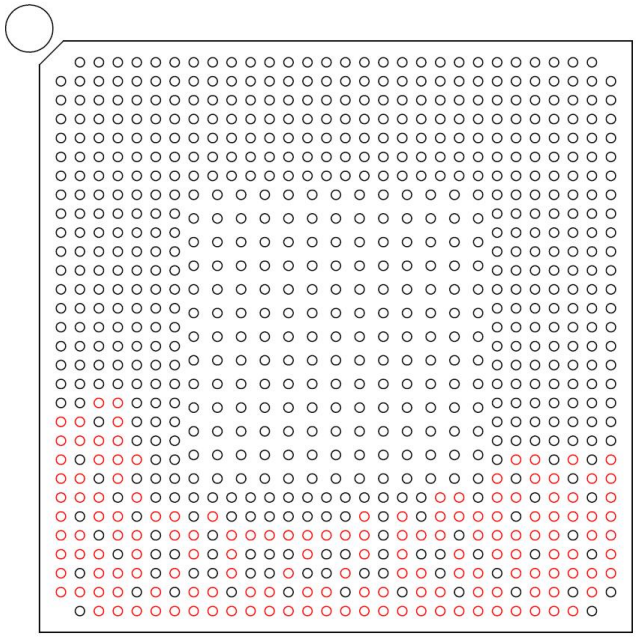

图 2-3 飞腾派 DDR 引脚分布(顶视图)

### 2.2.4 拓扑结构

#### 2.2.4.1 DDR4 模式拓扑结构

飞腾派采用五颗 16 位 DDR4 SDRAM 单 RANK 颗粒的拓扑结构(带 ECC)如图 2-4 所示。


版权所有 © 飞腾信息技术有限公司

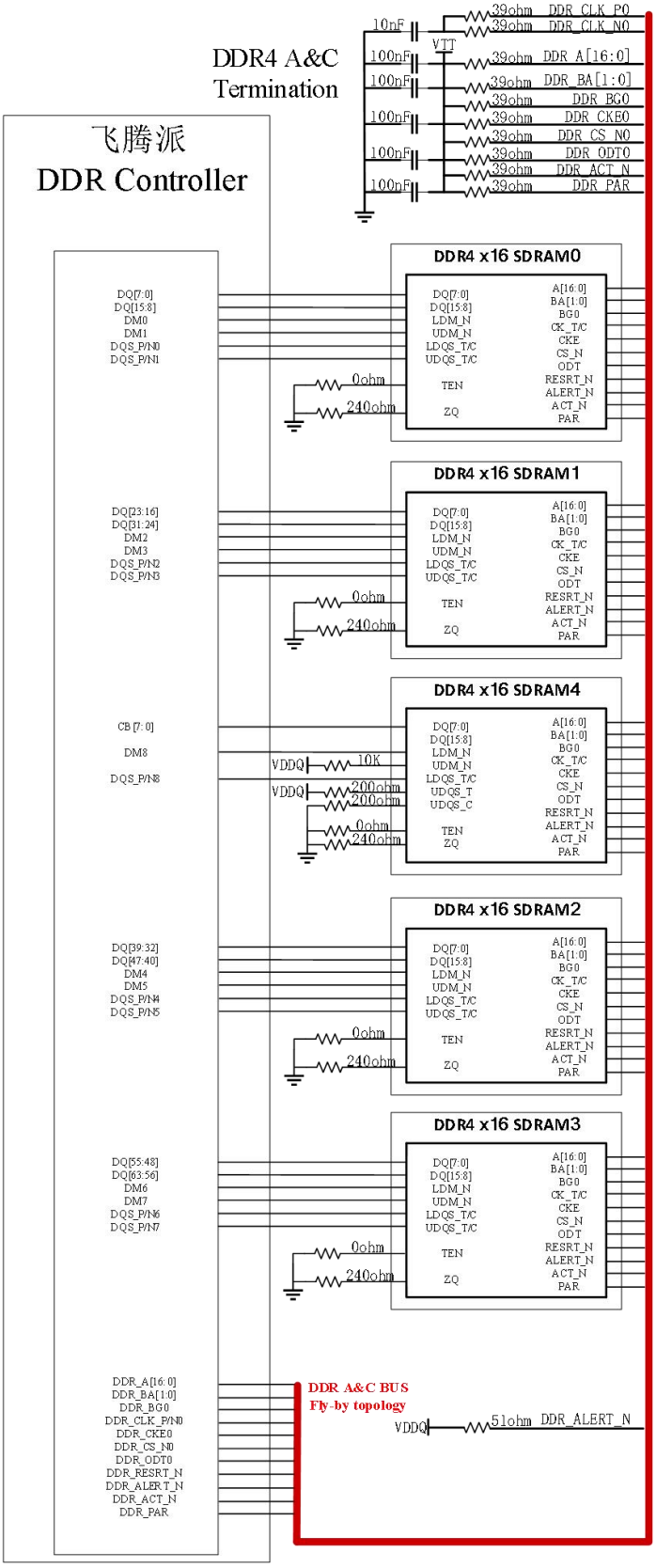


图 2-4 飞腾派 DDR4 SDRAM 单 RANK 结构图


版权所有 © 飞腾信息技术有限公司

说明

用作存储ECC数据的颗粒(图示DDR4)未使用的信号处理方式多样,示例拓扑结构仅为其中一种,请查阅具体使用的颗粒规格书进行正确处理；若使用颗粒含 BG1 信号，处理方式参考 BG0。

### 2.2.4.2 LPDDR4 模式拓扑结构

飞腾派采用两颗 32 位 LPDDR4 SDRAM 单 RANK 颗粒的拓扑结构如图 2-5 所示，每个 32 位 LPDDR4 颗粒包含 A 和 B 两个 Channel，其中 DQ/DM/DQS/CS 信号与飞腾派点对点直连，AC/CLK 信号采用 FLY-BY 拓扑连接，多 RANK 模式同一 RANK CKE 信号使用同一个 CKE 信号。

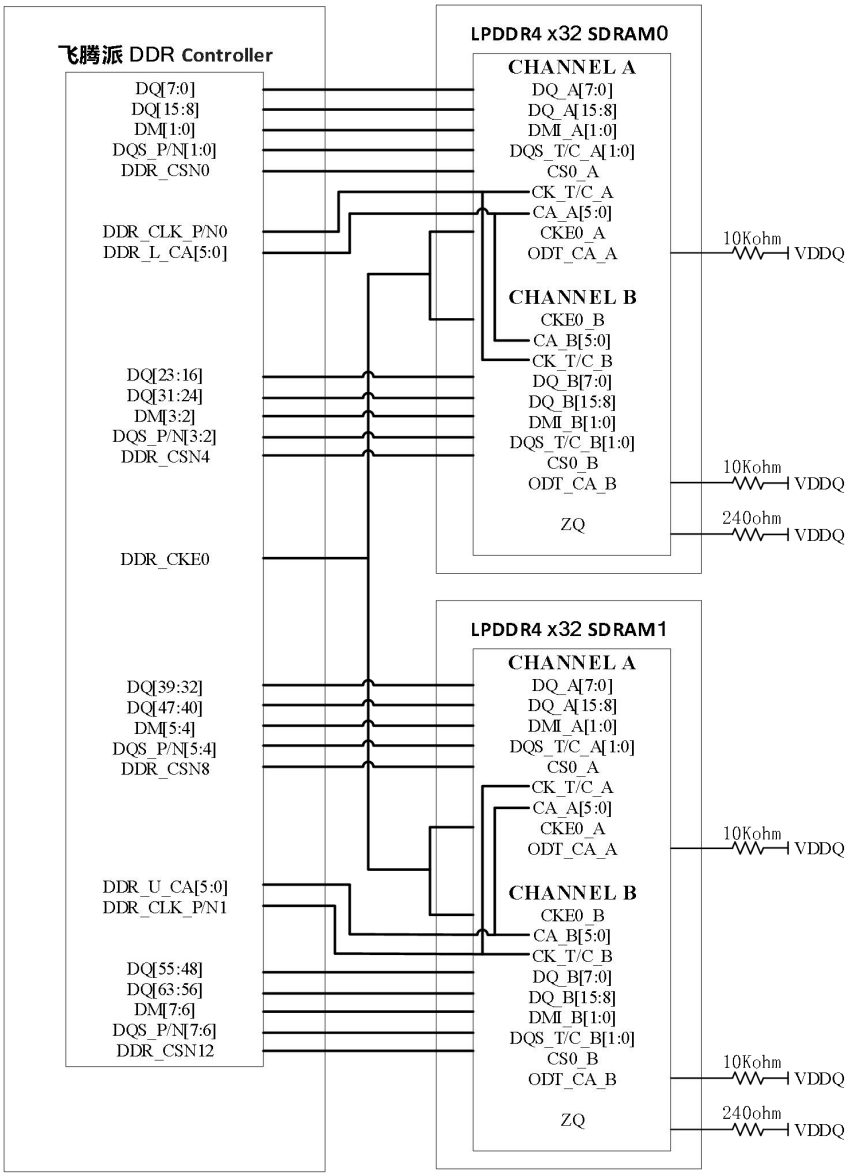


图 2-5 飞腾派 LPDDR4 SDRAM 单 RANK 结构图


版权所有 © 飞腾信息技术有限公司

## 2.2.5 交换准则

按照 8bit 划分为一个 slice，一个通道 72bit 可划分为 9 个 slice。DDR4 方案每组 slice 内有 11 个信号如表 2-9 所示，LPDDR4 方案每组 slice 内有 11 个信号如表 2-10 所示。

表 2-9 DDR4 方案 Slice 分组表

| Slice[n] | 信号名 | 备注 |
|---|---|---|
| Slice[0] | DDR_DQ[7:0]、DQS0_C、DQS0_T、DM0/DBI0 | 数据 |
| Slice[1] | DDR_DQ[15:8]、DQS1_C、DQS1_T、DM1/DBI1 | 数据 |
| Slice[2] | DDR_DQ[23:16]、DQS2_C、DQS2_T、DM2/DBI2 | 数据 |
| Slice[3] | DDR_DQ[31:24]、DQS3_C、DQS3_T、DM3/DBI3 | 数据 |
| Slice[4] | DDR_DQ[39:32]、DQS4_C、DQS4_T、DM4/DBI4 | 数据 |
| Slice[5] | DDR_DQ[47:40]、DQS5_C、DQS5_T、DM5/DBI5 | 数据 |
| Slice[6] | DDR_DQ[55:48]、DQS6_C、DQS6_T、DM6/DBI6 | 数据 |
| Slice[7] | DDR_DQ[63:56]、DQS7_C、DQS7_T、DM7/DBI7 | 数据 |
| Slice[8] | DDR_CB[7:0]、DQS8_C、DQS8_T、DM8/DBI8 | ECC |

表 2-10 LPDDR4 方案 Slice 分组表

| Group | Channel | Slice[n] | 备注 |
|---|---|---|---|
| L_Group | L_Channel_A | DDR_DQ[7:0]、DQS0_C、DQS0_T、DM0 | 数据 |
| | | DDR_DQ[15:8]、DQS1_C、DQS1_T、DM1 | 数据 |
| | U_Channel_B | DDR_DQ[23:16]、DQS2_C、DQS2_T、DM2 | 数据 |
| | | DDR_DQ[31:24]、DQS3_C、DQS3_T、DM3 | 数据 |
| U_Group | L_Channel_A | DDR_DQ[39:32]、DQS4_C、DQS4_T、DM4 | 数据 |
| | | DDR_DQ[47:40]、DQS5_C、DQS5_T、DM5 | 数据 |
| | U_Channel_B | DDR_DQ[55:48]、DQS6_C、DQS6_T、DM6 | 数据 |
| | | DDR_DQ[63:56]、DQS7_C、DQS7_T、DM7 | 数据 |

### 2.2.5.1 DDR4 交换准则

X8、X16 内存交换准则：

- DQ 交换：在进行 X8、X16 兼容内存的设计时，同个 slice 内部的 8 位 DQ 可以自由互换。
- Slice 交换：Slice[7:0]之间可以任意交换，Slice[8]为 ECC 用途，不能与其他 Slice 交换。若用户需要 ECC 功能，Slice[8]必须连接至 X16 颗粒的低八位或内存槽对应的 Slice，若确认无需使用 ECC 功能，可将 Slice[8]的信号悬空。


版权所有 © 飞腾信息技术有限公司

### 2.2.5.2 LPDDR4 交换准则

根据 64 位 DQ 数据划分两个 Group，L_Group 包含 L_Channel_A(Slice0、Slice1)、U_Channel_B(Slice2 、 Slice3) ， U_Group 包 含 L_Channel_A(Slice4 、 Slice5) 、U_Channel_B(Slice6、Slice7)， 每 个 Group 可 以 整 体 交 换 ， 在 每 个 Group 内 部 L_Channel_A 与 U_Channel_B 可以整体交换，每个 Channel 内部两个 Slice 可以整体交换，每个 Slice 内部 8bit DQ 数据可以相互交换线序。

说明

LPDDR4 在 PCB 设计时可以按照以上规则调整线序，方便 PCB 的布线工作。需要声明，若 LPDDR4 的线序有所调整，则 PHY 的寄存器也需要重新配置，需更新相应固件。

## 2.2.6 校准电阻要求

内存 DDR_ZN_SENSE 采用 240Ω 1%精度的外部校准电阻与地连接，要求尽可能靠近引脚，避免外部干扰。

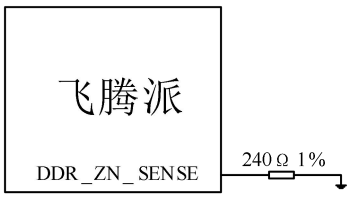


图 2-6 DDR 校准电阻参考电路

## 2.2.7 PCB 设计建议

PCB 设计参考第 6 章，另外还有以下几点需注意。

### 2.2.7.1 走线参考要求

DQ/DM/DQS 信号走线需参考 GND 网络,AC(Address Command)、CLK、MISC(alert reset)信号走线优先参考 GND，其次参考 VDDQ(需保证另一面参考为 GND)，保证参考平面完整，保证没有跨平面分割的情况；建议 VDDQ 电源和其它电源引脚都能扇出对应引脚数量或者更多数量的过孔，比如有 7 个 VDDQ 的 PIN，则要求 CPU 区域扇出 7 个及以上的 VDDQ 过孔。

### 2.2.7.2 布线参考

针对 DDR4、LPDDR4 或 DDR4 DIMM 不同内存方案，提供如下几种内存方案布局布线


版权所有 © 飞腾信息技术有限公司

参考示意图。

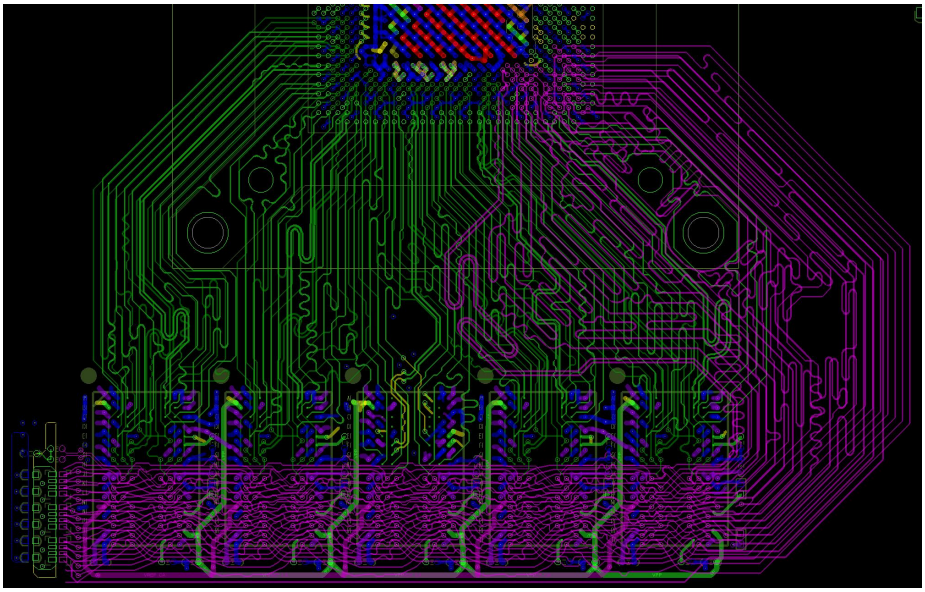

图 2-7 飞腾派 DDR4 X16 内存颗粒布线示意图(三层布线)

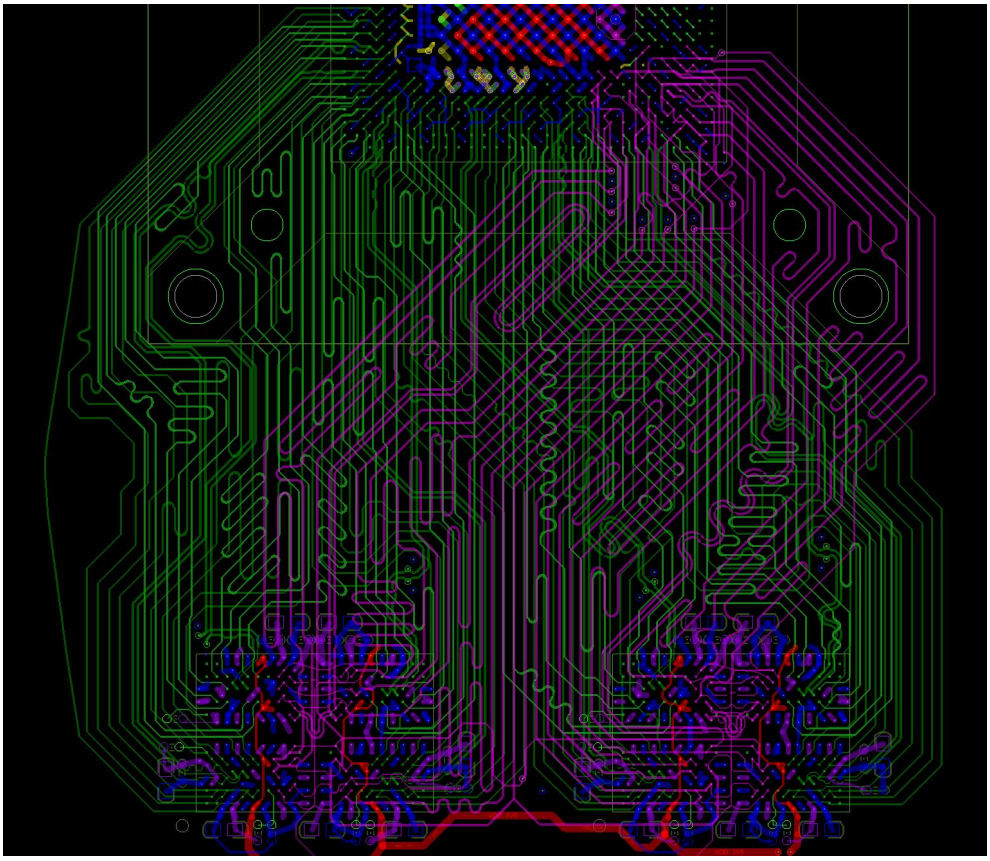

图 2-8 飞腾派 LPDDR4 X32 内存颗粒布线示意图(三层布线)


版权所有 © 飞腾信息技术有限公司

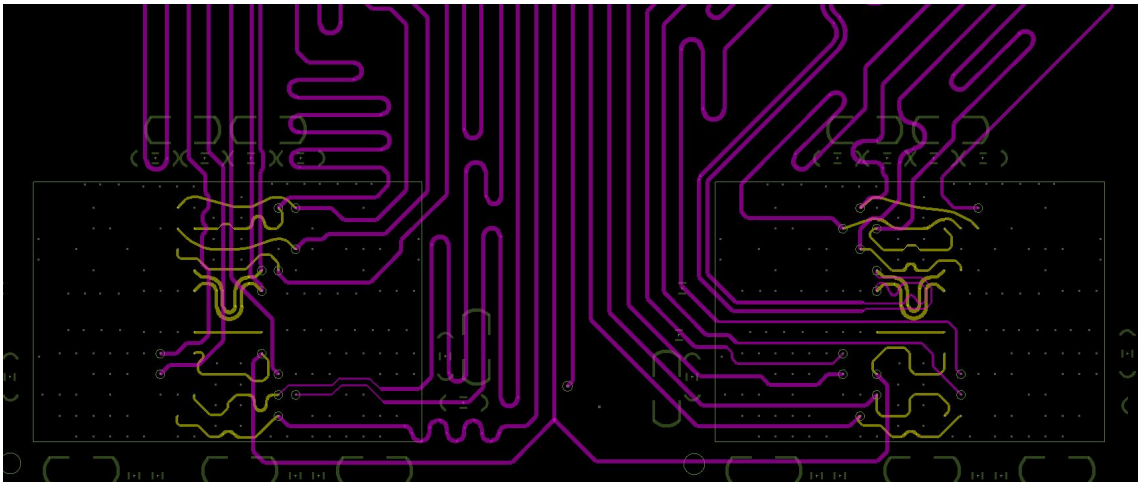

图 2-9 飞腾派 LPDDR4 X32 内存颗粒 AC 信号 Fly-by 拓扑走线局部示意图

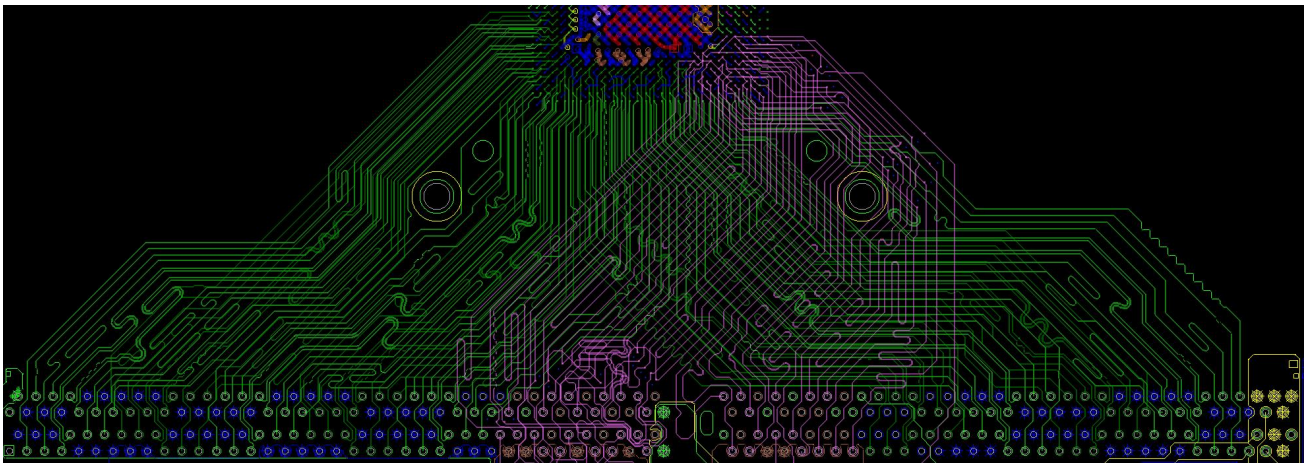

图 2-10 飞腾派 DDR4 DIMM 布线示意图(三层布线)

### 2.2.7.3 DDR4 SDRAM 端接设计

图 2-11 为 DDR4 SDRAM VTT 端接设计原理图和 PCB 参考。参考图 2-11，CLK 信号通过 39Ω电阻和 10nF 电容端接到 GND，AC 信号通过 39Ω排阻端接到 VTT 电源，同时每两个信号的 VTT 上拉处需就近放置一个对地的 100nF 去耦电容。为保证最佳信号质量，用户可根据实际应用调整端接电阻阻值，若使用颗粒含 BG1 信号，处理方式参考 BG0。


版权所有 © 飞腾信息技术有限公司

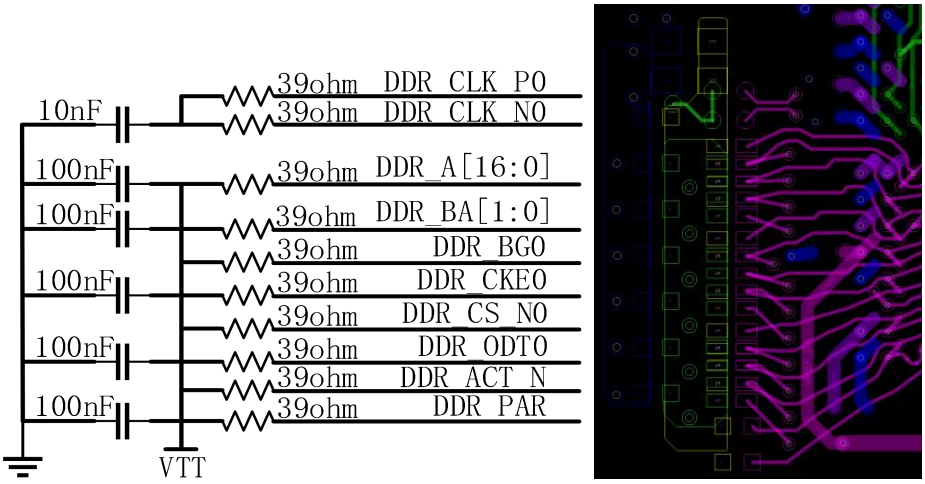


图 2-11 DDR4 SDRAM 端接设计参考

## 2.2.7.4 布线要求

表 2-11 DDR4 X16 SDRAM 布线要求(Fly-by 拓扑)

| 类别 | 参数 | 要求 |
|---|---|---|
| 器件选型 | 校准电阻 | 240Ω 1% |
| | 端接电阻 | 39Ω 5% |
| | CLK 端接电容 | 10nF 10% |
| | AC 端接电容 | 100nF 10% |
| 走线长度限制 | 信号 BGA 区域 neck mode 走线长度 | ≤13mm(CLK/AC/DQS/DQ) |
| | AC/CLK 到首个颗粒的长度 | L≤100mm |
| | DQ/DM/DQS 到颗粒的长度 | L≤80mm |
| | MISC 信号(alert/reset)长度限制 | L≤200mm |
| | 相邻颗粒扇出孔间走线长度 | L≤16mm |
| | 颗粒扇出孔到焊盘走线长度(包含过孔) | ≤2.5mm(CLK)、<br>≤2.5mm(Address)、<br>≤2.5mm(CMD) |
| | 末端颗粒扇出孔到端接电阻长度(越短越优) | ≤12mm |
| 走线长度匹配 | DQS 与 CLK 的最大长度差 | 0mm≤L(CLK - DQS)≤150mm |
| | 每个颗粒的 AC 走线与 CLK 走线等长 | -0.2mm≤L(CLK-AC)≤0.2mm |
| | DQ/DM/DQS 走线组内等长 | 0mm≤L(DQ/DM-DQS)≤0.1mm |
| | 每个颗粒 CLK 差分对内等长 | ≤0.1mm |
| | 每个颗粒 DQS 差分对内等长 | ≤0.1mm |
| 走线间距 | AC 到 DQ/DM/DQS | ≥6H |
| | CLK 与其它信号 | ≥4H(带状线)、≥5H(微带线)、<br>与颗粒 BGA 区域过孔/焊盘间距≥2H |


版权所有 © 飞腾信息技术有限公司

| | | |
|---|---|---|
| | DQS 与其它信号 | ≥4H(带状线)、≥5H(微带线)、与颗粒 BGA 区域过孔/焊盘间距≥2H |
| | 同类信号 | ≥4H(CLK/DQS 带状线)、≥5H(CLK/DQS 微带线)、≥3.3H(AC/DQ/DM 带状线)、≥4H(AC/DQ/DM 微带线)、≥0.2mm(MISC) |
| | 信号与电源平面或过孔边缘间距 | ≥5H(CLK/AC/DQS/DQ/DM)、≥3H(MISC) |
| **换层** | 建议过孔数量 | ≤3 个(DQ/DM/DQS)、≤6 个(CLK/AC/MISC) |

说明

注[1]：H 为走线距离最近参考平面的高度，后续出现 H 均为此意，将不做解释。

- AC 单端阻抗控制：主干 45Ω，颗粒间 50Ω，扇出线 50Ω，末端端接走线 50Ω；
- CLK 差分阻抗控制：主干 75Ω，颗粒间 80Ω，扇出线 80Ω，末端端接走线 80Ω；
- DQS 差分阻抗控制：75Ω；
- DQ/MD 单端阻抗控制：45Ω；
- MISC(alert/reset)单端阻抗控制：40~60Ω；

表 2-12 LPDDR4 X32 SDRAM 布线要求(点对点/Fly-by 拓扑)

| 类别 | 参数 | 要求 |
|---|---|---|
| **器件选型** | 校准电阻 | 240Ω 1% |
| **走线长度限制** | 信号 BGA 区域 neck mode 走线长度 | ≤13mm(CLK/AC/DQS/DQ) |
| | 信号分支节点到颗粒 channelA 走线长度(尽量短) | ≤2mm(CLK/AC)；包含过孔长度 |
| | 信号分支节点到颗粒 channelB 走线长度(尽量短) | ≤6.5mm(CLK/AC)；包含过孔长度 |
| | 信号布线总长度 | L(DQS/DQ/DM)≤65mm<br>L(AC/CLK)≤80mm |
| | MISC 信号(alert/reset)长度限制 | ≤150mm |
| **走线长度匹配** | DQS 与 CLK 间的最大长度差 | 0mm≤L(CLK-DQS)≤50mm |
| | AC/CLK 走线组内等长 | -0.2mm≤L(CLK-AC)≤0.2mm |
| | DQ/DM/DQS 走线组内等长 | 0mm≤L(DQ/DM-DQS)≤0.1mm |
| | CLK 差分对内等长 | ≤0.1mm |
| | DQS 差分对内等长 | ≤0.1mm |
| **走线间距** | AC 到 DQ/DM/DQS | ≥6H |
| | CLK 与其它信号 | ≥4H(带状线)、≥5H(微带线)、与颗粒 BGA 区域过孔/焊盘间距≥2H |


版权所有 © 飞腾信息技术有限公司

| | | |
|---|---|---|
| | DQS 与其它信号 | ≥4H(带状线)、≥5H(微带线)、与颗粒 BGA 区域过孔/焊盘间距≥2H |
| | 同类信号 | ≥4H(CLK/DQS 带状线)、<br>≥5H(CLK/DQS 微带线)、<br>≥3.3H(AC/DQ/DM 带状线)、<br>≥4H(AC/DQ/DM 微带线)、<br>≥0.2mm(MISC) |
| | 信号与电源平面或过孔边缘间距 | ≥5H(CLK/AC/DQS/DQ/DM)、<br>≥3H(MISC) |
| **换层** | 建议过孔数量 | ≤3 个(CLK/AC/DQS/DQ/DM/MISC) |

表 2-13 LPDDR4 X32 SDRAM 布线要求(点对点/T 拓扑)

| 类别 | 参数 | 要求 |
|---|---|---|
| **器件选型** | 校准电阻 | 240Ω 1% |
| **走线长度限制** | 信号 BGA 区域 neck mode 走线长度 | ≤13mm(CLK/AC/DQS/DQ) |
| | 信号分支节点到颗粒焊盘走线长度（尽量短） | ≤5mm(CLK/AC) |
| | 信号布线总长度 | L(DQS/DQ/DM)≤65mm<br>L(AC/CLK)≤80mm |
| | MISC 信号(alert/reset)长度限制 | ≤150mm |
| **走线长度匹配** | DQS 与 CLK 间的最大长度差 | 0mm≤L(CLK-DQS)≤50mm |
| | AC/CLK 走线组内等长 | -0.2mm≤L(CLK-AC)≤0.2mm |
| | DQ/DM/DQS 走线组内等长 | 0mm≤L(DQ/DM-DQS)≤0.1mm |
| | CLK 差分对内等长 | ≤0.1mm |
| | DQS 差分对内等长 | ≤0.1mm |
| **走线间距** | AC 到 DQ/DM/DQS | ≥6H |
| | CLK 与其它信号 | ≥4H(带状线)、≥5H(微带线)、与颗粒 BGA 区域过孔/焊盘间距≥2H |
| | DQS 与其它信号 | ≥4H(带状线)、≥5H(微带线)、与颗粒 BGA 区域过孔/焊盘间距≥2H |
| | 同类信号 | ≥4H(CLK/DQS 带状线)、<br>≥5H(CLK/DQS 微带线)、<br>≥3.3H(AC/DQ/DM 带状线)、<br>≥4H(AC/DQ/DM 微带线)、<br>≥0.2mm(MISC) |
| | 信号与电源平面或过孔边缘间距 | ≥5H(CLK/AC/DQS/DQ/DM)、<br>≥3H(MISC) |
| **换层** | 建议过孔数量 | ≤3 个(CLK/AC/DQS/DQ/DM/MISC) |


版权所有 © 飞腾信息技术有限公司

●AC 单端阻抗控制：主干 45Ω，分支 50Ω；
●CLK 差分阻抗控制：主干差分 75Ω，分支 80Ω；
●DQS 差分阻抗控制：差分 75Ω；
●DQ/DM 单端阻抗控制：45Ω；
●MISC(alert/reset)单端阻抗控制：40~60Ω。

表 2-14 DDR4 DIMM 布线要求

| 类别 | 参数 | 要求 |
|---|---|---|
| 器件选型 | 校准电阻 | 240Ω 1% |
| 走线长度限制 | 信号 BGA 区域 neck mode 走线长度 | ≤13mm(CLK/AC/DQS/DQ) |
| | 信号布线总长度 | L(DQS/DQ/DM)≤80mm<br>L(AC/CLK)≤70mm |
| | MISC 信号(alert/reset)长度限制 | ≤150mm |
| 走线长度匹配 | DQS 与 CLK 间的最大长度差 | -50mm≤L(CLK-DQS)≤50mm |
| | AC/CLK 走线组内等长 | -0.2mm≤L(CLK-AC)≤0.2mm |
| | DQ/DM/DQS 走线组内等长 | 0mm≤L(DQ/DM-DQS)≤0.1mm |
| | CLK 差分对内等长 | ≤0.1mm |
| | DQS 差分对内等长 | ≤0.1mm |
| 走线间距 | AC 到 DQ/DM/DQS | ≥6H |
| | CLK 与其它信号 | ≥4H(带状线)、≥5H(微带线)、与颗粒 BGA 区域过孔/焊盘间距≥2H |
| | DQS 与其它信号 | ≥4H(带状线)、≥5H(微带线)、与颗粒 BGA 区域过孔/焊盘间距≥2H |
| | 同类信号 | ≥4H(CLK/DQS 带状线)、<br>≥5H(CLK/DQS 微带线)、<br>≥3.3H(AC/DQ/DM 带状线)、<br>≥4H(AC/DQ/DM 微带线)、<br>≥0.2mm(MISC) |
| | 信号与电源平面或过孔边缘间距 | ≥5H(CLK/AC/DQS/DQ/DM)、<br>≥3H(MISC) |
| 换层 | 建议过孔数量 | ≤3 个(CLK/AC/DQS/DQ/DM/MISC) |

●AC 单端阻抗控制： 45Ω；
●CLK 差分阻抗控制：75Ω；
●DQS 差分阻抗控制：75Ω；
●DQ/DM 单端阻抗控制：45Ω；
●MISC(alert/reset)单端阻抗控制：40~60Ω；


版权所有 © 飞腾信息技术有限公司

●DIMM 的 AC 信号 pad 附近一定要放置大量的 VDDQ 电源的滤波电容。

# 2.3 PCIe 接口

## 2.3.1 接口特性

飞腾派处理器的 PCIe 控制器支持 PCIe3.0 规范，兼容 PCIe2.0 和 PCIe1.0，接口特性如下：

●支持 Root Complex 和 End Point 两种模式，软件可配置；
●支持热插拔功能，热插拔信号检测在位为 1，不在位为 0；
●支持链路翻转和极性翻转，以及速率降级；
●支持单个控制器的关断和掉电；
●支持 VGA 空间的访问。

## 2.3.2 信号描述

飞腾派 PCIe 需要提供 100MHz 的差分时钟输入，时钟输入信号分别为 PCIE0_REFCLKP/N、PCIE1_REFCLKP/N、PCIE2_REFCLKP/N。信号描述如表 2-15 所示。

表 2-15 飞腾派 PCIe 信号描述

| 信号名称 | 方向 | 信号描述 | 推荐连接方式 |
|---|---|---|---|
| PCIE0_TXP<br>PCIE0_TXN | O | 上/下行链路数据发送差分信号 | 220nF 电容耦合连接 |
| PCIE0_RXP<br>PCIE0_RXN | I | 上/下行链路数据接收差分信号 | 220nF 电容耦合连接 |
| PCIE0_REFCLKP<br>PCIE0_REFCLKN | I | PCIE0、USB3.0 PORT0 参考时钟差分信号 | 直连 |
| PCIE0_REXT | I | PCIE0、USB3.0 PORT0 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| PCIE1_TXP<br>PCIE1_TXN | O | 上/下行链路数据发送差分信号 | 220nF 电容耦合连接 |
| PCIE1_RXP<br>PCIE1_RXN | I | 上/下行链路数据接收差分信号 | 220nF 电容耦合连接 |
| PCIE1_REFCLKP<br>PCIE1_REFCLKN | I | PCIE1、USB3.0 PORT1、SATA0 参考时钟差分信号 | 直连 |
| PCIE1_REXT | I | PCIE1、USB3.0 PORT1、SATA0 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| PCIE2_TXP[3:0] | O | 上/下行链路数据发送差分信号 | 220nF 电容耦合连 |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| PCIE2_TXN[3:0] | | | 接 |
| PCIE2_RXP[3:0]<br>PCIE2_RXN[3:0] | I | 上/下行链路数据接收差分信号 | 220nF 电容耦合连接 |
| PCIE2_REFCLKP<br>PCIE2_REFCLKN | I | PCIE2 参考时钟差分信号 | 直连 |
| PCIE2_REXT | I | 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |

## 2.3.3 拓扑结构

PCIe 所有 lane 均支持 P、N 极性翻转，其中 PCIE2 的 X4 控制器还支持链路翻转。PCIE2 包含一个 X4 和 3 个 X1 控制器，所以可以用作 1 个 X4、1 个 X2+2 个 X1 或 4 个 X1 使用，常用连接拓扑如下图所示。PCIE2 的 X4 链路翻转后向下兼容 X2、X1 使用。

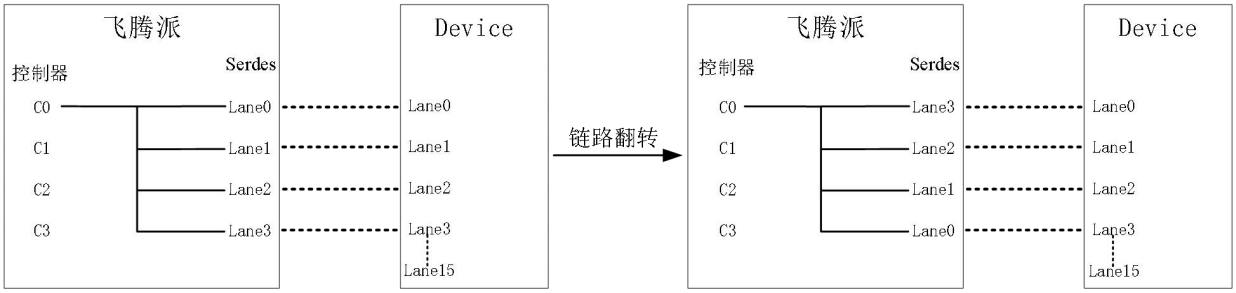


图 2-12 下行链路 1X4 拓扑结构

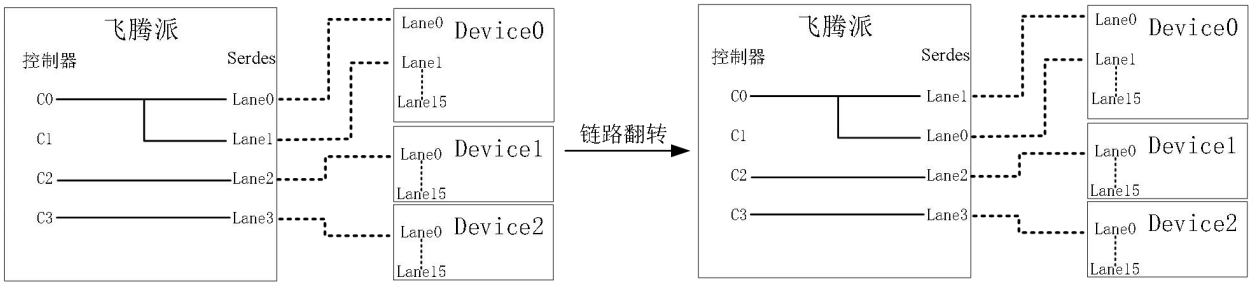


图 2-13 下行链路 1X2+2X1 拓扑结构


版权所有 © 飞腾信息技术有限公司

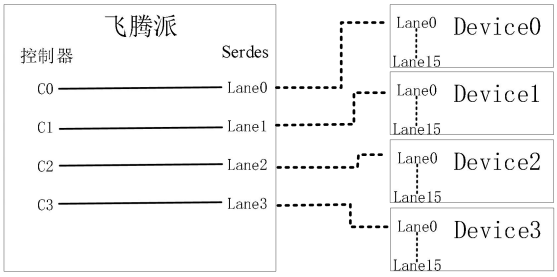


图 2-14 下行链路 4X1 拓扑结构

飞腾派芯片 PCIe 链路中有一路 PCIE1 与 SATA0 存在复用关系，当用于连接 M.2 接口类型的 SSD 时，支持协议自适应。典型连接拓扑如下图所示。

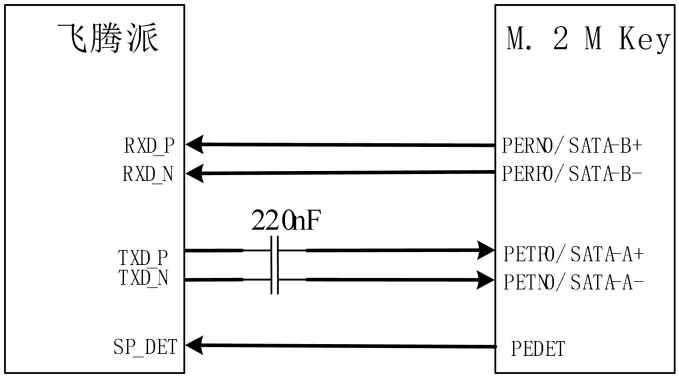


图 2-15 SATA 与 PCIe 自适应连接拓扑图

说明

注 1：设备必须在系统上电前接入飞腾派的指定接口；

注 2：该类型接口不支持热插拔，系统启动后无法再自适应插入设备；

注 3：检测逻辑为：当检测到 PEDET 为高时，接口为 PCIe 功能；当检测到 PEDET 为低时，接口为 SATA 功能；

注 4：在不使用自适应功能时，软件可强制配置接口类型，不再使用 SP_DET 信号。

## 2.3.4 AC 电容、校准电阻要求

输出端到接收端之间，PCIe 采用交流耦合的方式。具体要求如表 2-16 所示。

表 2-16 PCIe3.0 链路 AC 耦合电容

| 最小值 | 最大值 | 建议值 | 精度 |
|---|---|---|---|
| 176nF | 265nF | 220nF | 10% |


版权所有 © 飞腾信息技术有限公司

如图 2-16 所示，飞腾派的PCIe控制器需外接阻值为3.01KΩ精度为1%的校准电阻。外部校准电阻要求尽可能靠近芯片引脚，走线避开高速信号等干扰源。

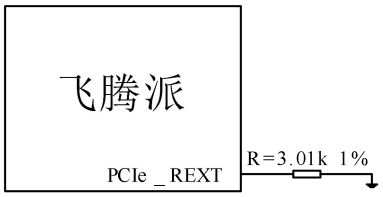


图 2-16 外部校准电阻参考电路

## 2.3.5 PCB 设计建议

PCB 设计参考第 6 章，另外还有以下几点需注意；

### 2.3.5.1 布线要求

表 2-17 PCIe 布线要求

| 参数 | 要求 |
|---|---|
| 阻抗控制数据信号 | 85Ω±10%差分 |
| 阻抗控制时钟信号 | 100Ω±10%差分 |
| 数据信号 AC 耦合电容 | 220nF 10% |
| 时钟信号 AC 耦合电容 | 100nF 10% |
| 校准电阻 | 3.01KΩ 1% |
| 最大允许插入损耗@4GHz | 16dB |
| Lane 间长度差 | ≤180mm |
| 差分对内等长 | ≤0.05mm |
| 差分对间距离 | ≥5H[1] |
| 与其它信号间距 | ≥5H |
| 自身间距[2] | ≥7H |
| 与参考平面边缘间距 | ≥5H |
| 建议过孔数量 | ≤4 个 |

说明

注[1]：H 为走线距离最近参考平面的高度。

注[2]：信号走线蛇形绕线时自身的间距要求。

### 2.3.5.2 交流耦合电容要求

PCIe 需要在发送端和接收端之间放置交流耦合电容。建议使用 0402 或更小尺寸的


版权所有 © 飞腾信息技术有限公司

封装以减小阻抗变化，P/N 信号上一对耦合电容需紧挨且平行放置。

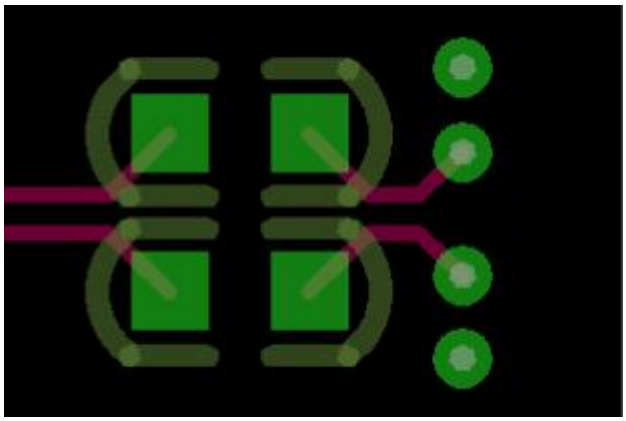

图 2-17 AC 耦合电容 PCB 摆放示意图

### 2.3.5.3 走线间距要求

PCIe 差分对之间的走线间距(走线边缘距离)需至少保持 5H,H 为走线距离最近参考平面的高度，尽量远离开关电源的开关管和电感等噪声源。

PCIe 信号线建议并行走线，走线间不要有其他信号或过孔。TX 和 RX 建议走在不同层，或者隔开尽可能远的距离。差分对 P 和 N 必须在同一层，并按照差分约束布线。

### 2.3.5.4 走线等长要求

差分对 P 和 N 两条走线总长度之差不能超过 0.05mm。建议在扇出时，对较短的走线进行一定的等长补偿，TX 和 RX 信号线间不要求等长。

### 2.3.5.5 走线参考要求

PCIe 信号走线需参考 GND 网络，走线与参考平面边缘间距应不小于 5H，保证参考平面完整，尽量保证没有跨平面分割的情况，如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。

## 2.4 以太网 MAC 接口

### 2.4.1 接口特性

飞腾派集成了 4 个以太网控制器，共有的功能特性如下：

- 支持 802.1as 协议；
- 支持 Jumbo 帧，最大帧长度为 16KB；
- 支持 transmit、receive checksum offload 功能；


版权所有 © 飞腾信息技术有限公司

●支持内/外回环(loopback)功能；
●支持 FEC 和 PFC 功能；
●支持部分存储转发功能；
●支持 RSC、LSO；
●接收方向支持 filter 和 screener。

各以太网控制器独有的特性如下：

●控制器 0 支持千兆 SGMII 接口、10G USXGMII 接口、10GBASE-R、10GBASE-KR 和 TSN 特性，支持 8 队列；
●控制器 1 支持千兆 SGMII 接口、10G USXGMII 接口、10GBASE-R、10GBASE-KR，支持 4 队列；
●控制器 2、3 支持 SGMII 接口、RGMII 接口，支持 4 队列。

## 2.4.2 信号描述

飞腾派有 4 路 SGMII 接口，使用时需要提供 100MHz 的差分时钟输入，时钟输入信号分别为 SGMII0_REFCLKP/N 、 SGMII1_REFCLKP/N 、 SGMII2_REFCLKP/N 和 SGMII3_REFCLKP/N，需注意使用 SGMII 接口时，外部 PHY 芯片输入时钟需要与 SGMII 接口输入差分时钟同源。飞腾派另有 2 路 USXGMII 接口，使用时需要提供 156.25MHz 的差分时钟输入；需注意使用 USXGMII 接口时，CPU 参考时钟需要与 USXGMII 接口输入差分时钟同源；另外 SGMII2 与 RGMII0、SGMII3 与 RGMII1 分别共用同一个控制器及同一路 MDIO 接口，不能同时使用。MDIO 接口与 SGMII、RGMII 有对应关系，使用时需注意。信号描述见以下表格所示。

表 2-18 SGMII 信号描述

| 信号名称 | 方向 | 信号描述 | 推荐连接方式 |
|---|---|---|---|
| SGMII0_TXP<br>SGMII0_TXN | O | 数据发送差分信号 | 100nF 电容耦合连接 |
| SGMII0_RXP<br>SGMII0_RXN | I | 数据接收差分信号 | 100nF 电容耦合连接 |
| SGMII0_REFCLKP<br>SGMII0_REFCLKN | I | SGMII0、USXGMII0 参考时钟差分信号 | 直连 |
| SGMII0_REXT | I | SGMII0、USXGMII0 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| MDC0 | O | SGMII0 管理接口时钟信号 | 源端串接 22Ω电阻 |
| MDIO0 | I/O | SGMII0 管理接口数据信号 | 直连 |
| SGMII1_TXP | O | 数据发送差分信号 | 100nF 电容耦合连接 |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| SGMII1_TXN | | | |
| SGMII1_RXP<br>SGMII1_RXN | I | 数据接收差分信号 | 100nF 电容耦合连接 |
| SGMII1_REFCLKP<br>SGMII1_REFCLKN | I | SGMII1、USXGMII1、SATA1 参考时钟差分信号 | 直连 |
| SGMII1_REXT | I | SGMII1、USXGMII1、SATA1 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| MDC1 | O | SGMII1 管理接口时钟信号 | 源端串接 22Ω电阻 |
| MDIO1 | I/O | SGMII1 管理接口数据信号 | 直连 |
| SGMII2_TXP<br>SGMII2_TXN | O | 数据发送差分信号 | 100nF 电容耦合连接 |
| SGMII2_RXP<br>SGMII2_RXN | I | 数据接收差分信号 | 100nF 电容耦合连接 |
| SGMII2_REFCLKP<br>SGMII2_REFCLKN | I | SGMII2、DP0 参考时钟差分信号 | 直连 |
| SGMII2_REXT | I | SGMII2、DP0 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| MDC2 | O | SGMII2 管理接口时钟信号 | 源端串接 22Ω电阻 |
| MDIO2 | I/O | SGMII2 管理接口数据信号 | 直连 |
| SGMII3_TXP<br>SGMII3_TXN | O | 数据发送差分信号 | 100nF 电容耦合连接 |
| SGMII3_RXP<br>SGMII3_RXN | I | 数据接收差分信号 | 100nF 电容耦合连接 |
| SGMII3_REFCLKP<br>SGMII3_REFCLKN | I | SGMII3、DP1 参考时钟差分信号 | 直连 |
| SGMII3_REXT | I | SGMII3、DP1 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| MDC3 | O | SGMII3 管理接口时钟信号 | 源端串接 22Ω电阻 |
| MDIO3 | I/O | SGMII3 管理接口数据信号 | 直连 |

表 2-19 USXGMII 信号描述

| 信号名称 | 方向 | 信号描述 | 推荐连接方式 |
|---|---|---|---|
| USXGMII0_TXP<br>USXGMII0_TXN | O | 数据发送差分信号 | |
| USXGMII0_RXP<br>USXGMII0_RXN | I | 数据接收差分信号 | |
| SGMII0_REFCLKP | I | USXGMII0、SGMII0 参考时钟差分信 | 直连 |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| SGMII0_REFCLKN | | 号 | |
| SGMII0_REXT | I | USXGMII0、SGMII0 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| USXGMII1_TXP<br>USXGMII1_TXN | O | 数据发送差分信号 | |
| USXGMII1_RXP<br>USXGMII1_RXN | I | 数据接收差分信号 | |
| SGMII1_REFCLKP<br>SGMII1_REFCLKN | I | USXGMII1、SGMII1、SATA1 参考时钟差分信号 | 直连 |
| SGMII1_REXT | I | USXGMII1、SGMII1、SATA1 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |

表 2-20 RGMII 信号描述

| 信号名称 | 方向 | 信号描述 | 推荐连接方式 |
|---|---|---|---|
| RGMII0_TXD0 | O | 发送数据位 0 | MAC 端串接 22Ω电阻 |
| RGMII0_TXD1 | O | 发送数据位 1 | MAC 端串接 22Ω电阻 |
| RGMII0_TXD2 | O | 发送数据位 2 | MAC 端串接 22Ω电阻 |
| RGMII0_TXD3 | O | 发送数据位 3 | MAC 端串接 22Ω电阻 |
| RGMII0_TXCLK | O | 发送数据采样时钟 | MAC 端串接 22Ω电阻 |
| RGMII0_TXCTL | O | 发送控制 | MAC 端串接 22Ω电阻 |
| RGMII0_RXD0 | I | 接收数据位 0 | PHY 端串接 22Ω电阻 |
| RGMII0_RXD1 | I | 接收数据位 1 | PHY 端串接 22Ω电阻 |
| RGMII0_RXD2 | I | 接收数据位 2 | PHY 端串接 22Ω电阻 |
| RGMII0_RXD3 | I | 接收数据位 3 | PHY 端串接 22Ω电阻 |
| RGMII0_RXCLK | I | 接收数据采样时钟 | PHY 端串接 22Ω电阻 |
| RGMII0_RXCTL | I | 接收控制 | PHY 端串接 22Ω电阻 |
| MDC2 | O | RGMII0 管理接口时钟信号 | MAC 端串接 22Ω电阻 |
| MDIO2 | I/O | RGMII0 管理接口数据信号 | 直连 |
| RGMII1_TXD0 | O | 发送数据位 0 | MAC 端串接 22Ω电阻 |
| RGMII1_TXD1 | O | 发送数据位 1 | MAC 端串接 22Ω电阻 |
| RGMII1_TXD2 | O | 发送数据位 2 | MAC 端串接 22Ω电阻 |
| RGMII1_TXD3 | O | 发送数据位 3 | MAC 端串接 22Ω电阻 |
| RGMII1_TXCLK | O | 发送数据采样时钟 | MAC 端串接 22Ω电阻 |
| RGMII1_TXCTL | O | 发送控制 | MAC 端串接 22Ω电阻 |
| RGMII1_RXD0 | I | 接收数据位 0 | PHY 端串接 22Ω电阻 |
| RGMII1_RXD1 | I | 接收数据位 1 | PHY 端串接 22Ω电阻 |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| RGMII1_RXD2 | I | 接收数据位 2 | PHY 端串接 22Ω 电阻 |
| RGMII1_RXD3 | I | 接收数据位 3 | PHY 端串接 22Ω 电阻 |
| RGMII1_RXCLK | I | 接收数据采样时钟 | PHY 端串接 22Ω 电阻 |
| RGMII1_RXCTL | I | 接收控制 | PHY 端串接 22Ω 电阻 |
| MDC3 | O | RGMII1 管理接口时钟信号 | MAC 端串接 22Ω 电阻 |
| MDIO3 | I/O | RGMII1 管理接口数据信号 | 直连 |

## 2.4.3 电气特性

千兆以太网(RGMII)接口特性如表 2-22 所示。可通过调整 CPU 的 TX_CLK 时钟延迟或 PHY 内部 TX_CLK 时钟延迟满足 PHY 对于发送通道建立时间和保持时间需求。下表给出了延时线的可调范围为 0~5.8ns，完全可以满足建立时间和保持时间。对于接收通道建立时间和保持时间需要满足可以调整从 PHY 发出的 TX_CLK 时钟延迟或调整 CPU 内部的 TX_CLK 时钟延迟。延迟寄存器配置请参考《飞腾派软件编程手册》相关章节。

表 2-21 MDIO 接口电特性

| 特性 | 符号 | 接口时序 | 极限值 | | 单位 |
|---|---|---|---|---|---|
| | | | 最小 | 最大 | |
| **MDIO 写操作时序** | | | | | |
| MDC 时钟周期 | mdc_cyc | 见图 2-19 | 80 | 2242 | ns |
| **MDIO 读操作时序** | | | | | |
| MDC 时钟周期 | mdc_cyc | 见图 2-20 | 80 | 2242 | ns |
| MDIO 建立时间 | Tmdio_setup | 见图 2-21 | 10 | --- | ns |
| MDIO 保持时间 | Tmdio_hold | 见图 2-21 | 2 | --- | ns |

表 2-22 RGMII 接口电特性

| 特性 | 符号 | 接口时序 | 极限值 | | 单位 |
|---|---|---|---|---|---|
| | | | 最小 | 最大 | |
| **RGMII 发送通道时序** | | | | | |
| CLK_TX 正沿落后 phy_txd_o 数据的偏差 | Tskew | 见图 2-22 | 0 | 1.0 | ns |
| CLK_TX 负沿落后 phy_txd_o 数据的偏差 | Tskew_neg | | 0 | 1.0 | ns |
| PHY 采样时钟落后于千兆以太网输出时钟的偏差 | phy_clk_delay | | 0 | 5.8 | ns |
| PHY 接收通道时钟采样数据的建立时间 | Tsetup | | 1.0 | -- | ns |
| PHY 接收通道时钟采样数据的保持时间 | Thold | | 1.0 | -- | ns |


版权所有 © 飞腾信息技术有限公司

| RGMII 接收通道时序 | | | | | |
|---|---|---|---|---|---|
| GMAC 接收通道时钟落后于 PHY 输出时钟的偏差 | CPU_clk_delay | 见图 2-23 | 0 | 5.8 | ns |
| GMAC 接收通道时钟采样数据的建立时间 | Tsetup | | 1.0 | -- | ns |
| GMAC 接收通道时钟采样数据的保持时间 | Thold | | 1.0 | -- | ns |

图 2-18 GMAC 开关特性图

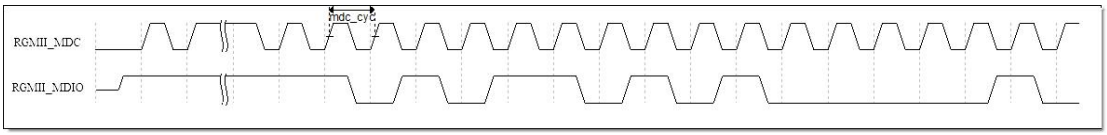


图 2-19 MDIO 写操作时序

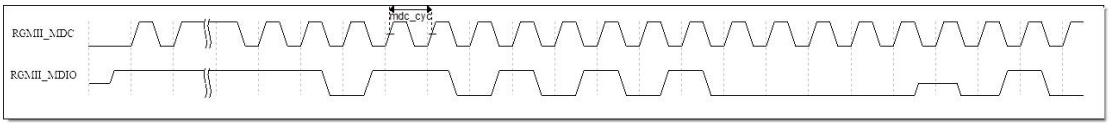


图 2-20 MDIO 读操作

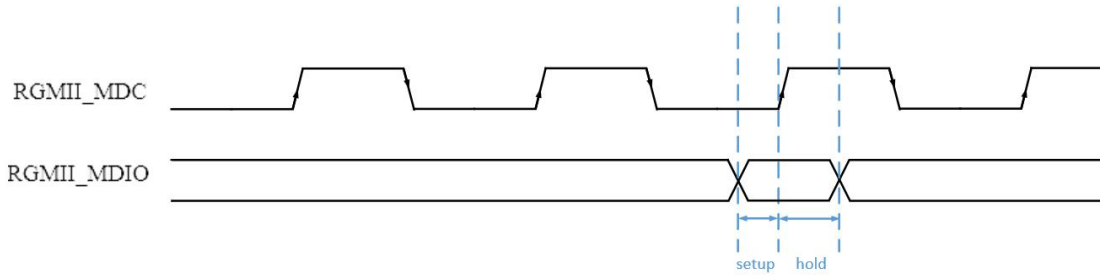


图 2-21 MDIO 读建立和保持时间


版权所有 © 飞腾信息技术有限公司

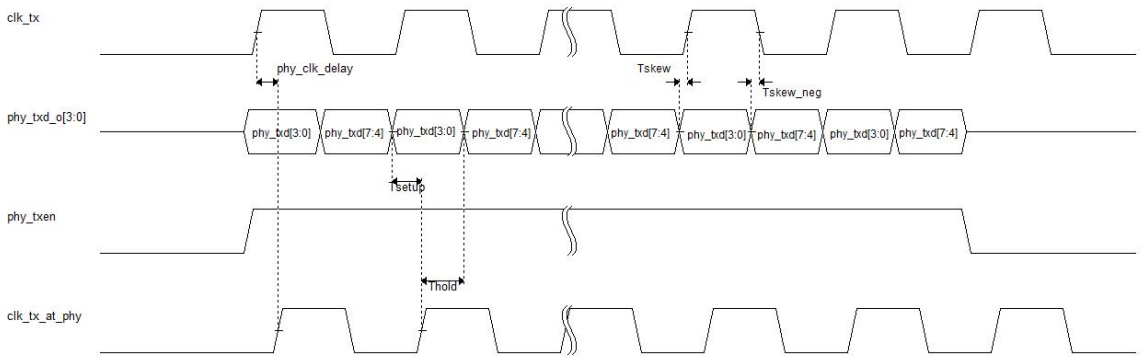


图 2-22 RGMII 发送通道时序

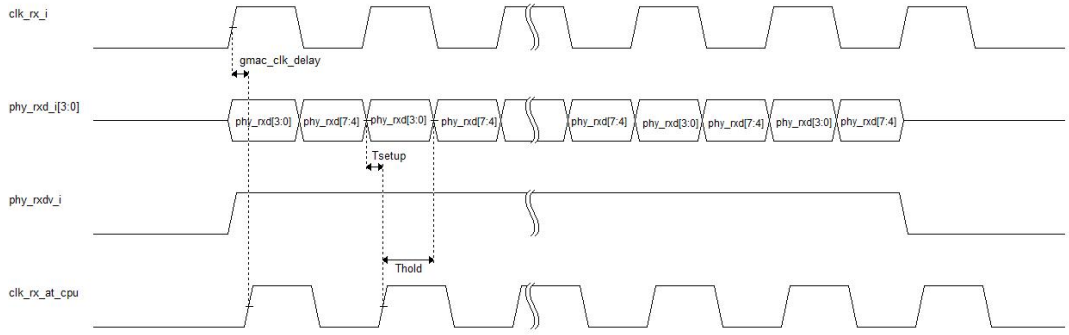


图 2-23 RGMII 接收通道时序

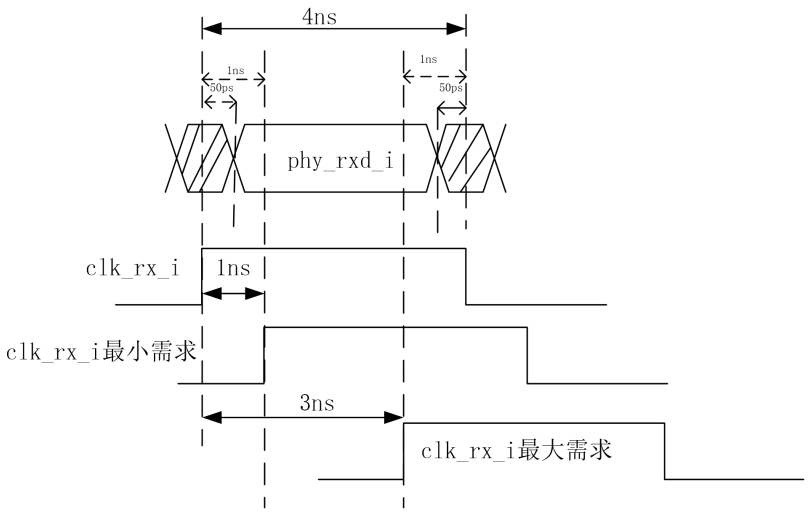


图 2-24 RX 数据端口采样时序图

当速度为 1000Mbps 时，时钟周期为 8ns。因为 RGMII 是双沿采样，数据周期为 4ns。但由于芯片制造、温度等差异导致不同数据线和时钟线之间的不确定性，假设数据线延迟偏差为 1ns（大部分实际偏差情况都在 1ns 以内），那么只要时钟上升沿落在 1~3ns 区间即可满足采样要求。


版权所有 © 飞腾信息技术有限公司

## 2.4.4 拓扑结构

SGMII 接口与 PHY 芯片交流耦合连接即可,MDIO 接口需要注意有对应关系,另外 MDIO 需外接 1.5K 电阻上拉，图示上拉电平 VDDIO 需用户按实际应用确定。

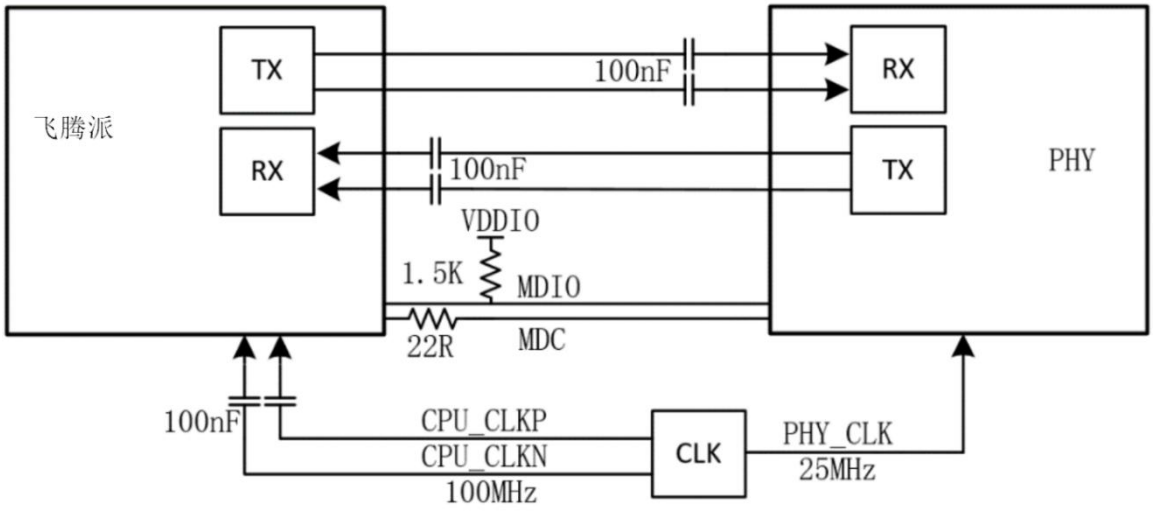


图 2-25 SGMII 连接拓扑

USXGMII 接口与光模块连接器直接连接即可，如图所示。

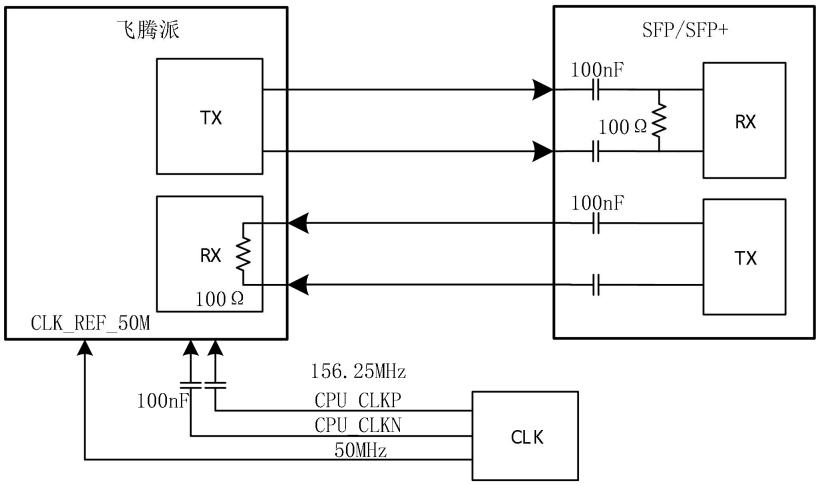


图 2-26 USXGMII 连接拓扑

RGMII 接口连接方式如图，MDIO 接口需要注意有对应关系，其中 MDIO 信号需外接 1.5K 电阻上拉，图示上拉电平 VDDIO 需用户按实际应用确定。


版权所有 © 飞腾信息技术有限公司

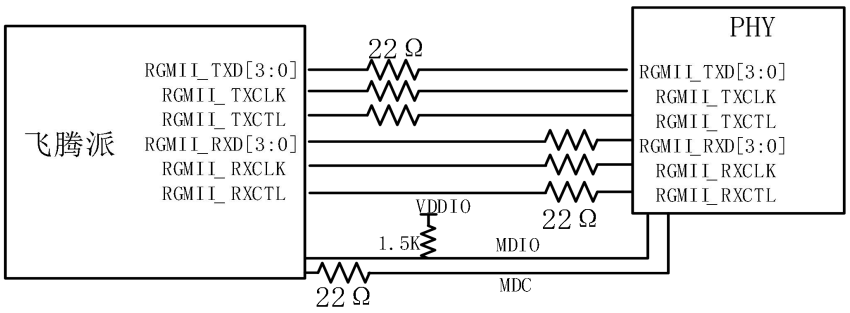


图 2-27 RGMII 连接拓扑

## 2.4.5 校准电阻要求

如图 2-28 所示，使用 SGMII、USXGMII 时，对应的控制器需外接阻值为 3.01KΩ精度为 1%的校准电阻。外部校准电阻要求尽可能靠近芯片引脚，走线避开高速信号等干扰源。

图 2-28 外部校准电阻连接示意图

## 2.4.6 PCB 设计建议

表 2-23 SGMII 布线要求

| 参数 | 要求 |
|---|---|
| 阻抗控制 | 100Ω±10%差分 |
| AC 耦合电容 | 100nF 10% |
| 校准电阻 | 3.01KΩ 1% |
| 差分对内等长 | ≤0.07mm |
| 差分对间距离 | ≥5H |
| TX 和 RX 间距离 | ≥7H |
| 与其它信号间距 | ≥5H |
| 与参考平面边缘最小间距 | ≥5H |
| 建议过孔数量 | ≤2 个 |

表 2-24 USXGMII 布线要求

| 参数 | 要求 |
|---|---|


版权所有 © 飞腾信息技术有限公司

| | |
|---|---|
| 阻抗控制 | 100Ω±10%差分 |
| 时钟信号 AC 耦合电容 | 100nF 10% |
| 校准电阻 | 3.01KΩ 1% |
| 差分对内等长 | ≤0.05mm |
| 差分对间距离 | ≥5H |
| 与其它信号间距 | ≥5H |
| 自身间距 | ≥7H |
| 与参考平面边缘最小间距 | ≥5H |
| 建议过孔数量 | ≤2 个 |

表 2-25 RGMII 布线要求

| 参数 | 要求 |
|---|---|
| 阻抗控制 | 50Ω±10%单端 |
| 最大走线长度 | 150mm |
| 信号等长要求 | -2.5mm≤L(TXCLK- TXD[3:0]、TX_CTL)≤2.5mm<br>-2.5mm≤L(RXCLK- RXD[3:0]、RX_CTL)≤2.5mm |
| 信号间最小距离 | ≥3H |
| 时钟信号与其它信号间距 | ≥5H |
| 与参考平面边缘最小间距 | ≥5H |
| 建议过孔数量 | ≤3 个 |

#### 2.4.6.1 设计要点

- 尽量缩短走线长度，尽量远离开关电源、晶振等噪声源，以保证信号质量。
- USXGMII、SGMII 信号走线必须按 100Ω±10%阻抗差分走线；RGMII 信号走线必须按 50Ω±10%阻抗差分走线。
- 建议在换层孔附近添加回流孔，尽量减少换层过孔数量。
- 信号走线参考 GND，保证参考平面完整，不建议存在跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。
- SGMII 信号 100nF 耦合电容建议靠近接收端并对称放置。
- SGMII 接口 TX/RX 信号之间走线无需等长处理，同层走线时，建议保证 7H 间距。
- USXGMII 接口 TX/RX 信号之间走线无需等长处理，TX 和 RX 建议走在不同层，或者隔开尽可能远的距离。
- USXGMII 接口建议在扇出时对差分对内 P 和 N 较短的走线进行一定的等长补偿。
- RGMII 走线 TX 信号组内等长、RX 信号组内等长，TX 和 RX 间无需等长。


版权所有 © 飞腾信息技术有限公司

# 2.5 USB 接口

## 2.5.1 接口特性

飞腾派集成了 USB2.0 OTG 控制器、USB3.0 控制器两种 USB 控制器，其中：

USB2.0 OTG 控制器支持如下功能：

- 兼容 USB2.0 规范；
- 可工作在 Host 或 Device 模式；
- 支持挂载单个设备，不支持 HUB 设备；
- USB2_P3 和 USB2_P4 控制器支持 USB 唤醒功能；
- 支持 USB2.0 L0/L1/L2 电源管理；
- 支持 SRP 会话请求协议。

USB3.0 控制器支持如下功能：

- 兼容 USB3.0 规范，向下兼容 USB2.0 规范
- 兼容 xHCI1.1 规范；
- 包含一个 USB2.0 端口和一个 USB3.0 端口；
- USB3.0 端口兼容 PIPE 接口；
- 支持 USB2.0 L0/L1/L2 电源管理；
- 支持 USB3.0 U0/U1/U2.U3 电源管理；
- 支持超速、高速、全速和低速模式；
- 最大支持挂载 USB 设备不超过 16 个，包含 USB HUB 设备(*挂载设备能力以实测为准)。

## 2.5.2 信号描述

飞腾派含有两个带复用功能的 USB3.0 接口(兼容 USB2.0 接口，USB2_P0/P1)，使用时需要提供 100MHz 的差分时钟输入，时钟输入信号分别为 PCIE0_REFCLKP/N、PCIE1_REFCLKP/N。

另外飞腾派还集成了 3 个 USB2.0 接口 USB2_P2/P3/P4，均支持 OTG 功能。

表 2-26 USB 接口描述

| 信号名称 | 方向 | 信号描述 | 推荐连接方式 |
|---|---|---|---|
| PCIE0_REFCLKP | I | USB3.0 PORT0、PCIE0 100MHz 参考时钟差分信号 | 直连 |
| PCIE0_REFCLKN | I | | |
| PCIE1_REFCLKP | I | USB3.0 PORT1、PCIE1、SATA0 100MHz 参考时钟差分信号 | 直连 |
| PCIE1_REFCLKN | I | | |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| USB3_P0_TXP | O | USB3.0 数据发送差分信号 | 100nF 电容耦合连接 |
| USB3_P0_TXN | O | | |
| USB3_P0_RXP | I | USB3.0 数据接收差分信号 | 直连 |
| USB3_P0_RXN | I | | 直连 |
| USB2_P0_DP | I/O | USB2.0 数据输入输出差分信号，用于 USB3 向下兼容 | 直连 |
| USB2_P0_DM | I/O | | 直连 |
| USB2_P0_REXT | I | USB2.0 PORT0 外部校准电阻输入信号，外接 200Ω 1%电阻到地 | |
| PCIE0_REXT | I | USB3.0 PORT0、PCIE0 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| USB3_P1_TXP | O | USB3.0 数据发送差分信号 | 100nF 电容耦合连接 |
| USB3_P1_TXN | O | | |
| USB3_P1_RXP | I | USB3.0 数据接收差分信号 | 直连 |
| USB3_P1_RXN | I | | 直连 |
| USB2_P1_DP | I/O | USB2.0 数据输入输出差分信号，用于 USB3 向下兼容 | 直连 |
| USB2_P1_DM | I/O | | 直连 |
| USB2_P1_REXT | I | USB2.0 PORT1 外部校准电阻输入信号，外接 200Ω 1%电阻到地 | |
| PCIE1_REXT | I | USB3.0 PORT1、PCIE1、SATA0 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| USB2_P2_DP | I/O | USB2.0 数据输入输出差分信号 | 直连 |
| USB2_P2_DM | I/O | | 直连 |
| USB2_P2_ID | I | OTG 识别管脚，HOST 时为低，Device 时为高，内部有上拉电阻到 1.8V | |
| USB2_P2_VBUSDET | I | VBUS 检测管脚 | VBUS 分压到 1.8V 接入 |
| USB2_P2_REXT | I | USB2.0 PORT2 外部校准电阻输入信号，外接 200Ω 1%电阻到地 | |
| USB2_P3_DP | I/O | USB2.0 数据输入输出差分信号 | 直连 |
| USB2_P3_DM | I/O | | 直连 |
| USB2_P3_ID | I | OTG 识别管脚，HOST 时为低，Device 时为高，内部有上拉电阻到 1.8V | |
| USB2_P3_VBUSDET | I | VBUS 检测管脚 | VBUS 分压到 1.8V 接入 |
| USB2_P3_REXT | I | USB2.0 PORT3 外部校准电阻输入信号，外接 200Ω 1%电阻到地 | |
| USB2_P4_DP | I/O | USB2.0 数据输入输出差分信号 | 直连 |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| USB2_P4_DM | I/O | | 直连 |
| USB2_P4_ID | I | OTG 识别管脚，HOST 时为低，Device 时为高，内部有上拉电阻到 1.8V | |
| USB2_P4_VBUSDET | I | VBUS 检测管脚 | VBUS 分压到 1.8V 接入 |
| USB2_P4_REXT | I | USB2.0 PORT4 外部校准电阻输入信号，外接 200Ω 1%电阻到地 | |

## 2.5.3 拓扑结构

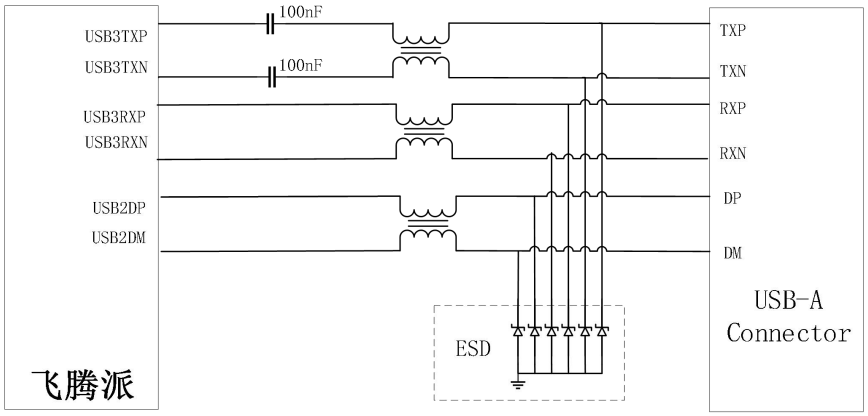


图 2-29 USB-A 接口连接拓扑

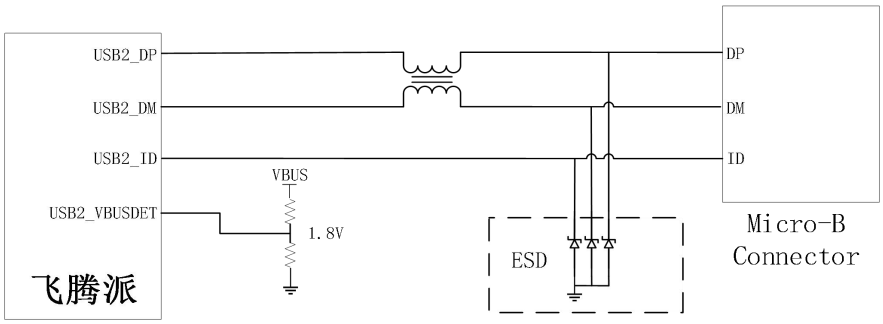


图 2-30 Micro-B 接口连接拓扑

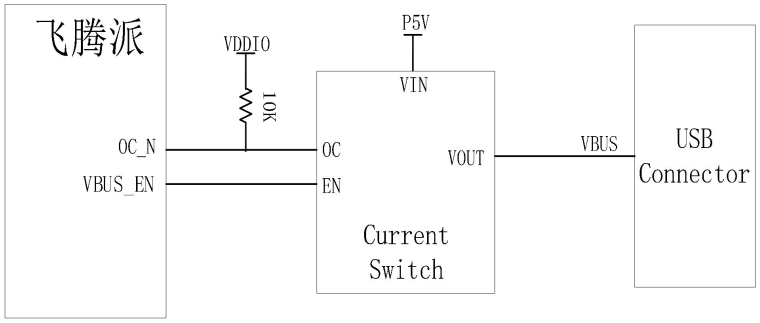


图 2-31 USB 过流保护连接拓扑


版权所有 © 飞腾信息技术有限公司

USB 接口过流保护连接拓扑如图 2-31 所示，USB 5V 电源需通过过流保护芯片接入连接器，飞腾派通过 VBUS_EN 引脚输出高电平使能过流保护芯片，当外部设备短路或电流超过过流保护芯片阈值时，该芯片输出低电平给 OC_N 引脚，飞腾派收到过流信号后进行相应逻辑处理最终关闭该端口并通知用户该端口存在故障。

说明

**图 2-31 所示上拉电平 VDDIO 需用户按实际应用确定。**

## 2.5.4 PCB 设计建议

### 2.5.4.1 布线要求

表 2-27 USB 布线要求

| 参数 | 要求 |
|---|---|
| 阻抗控制 | 90Ω ±10%差分、50Ω ±10%单端 |
| AC 耦合电容 | 100nF 10% |
| USB3.0 校准电阻 | 3.01KΩ 1% |
| USB2.0 校准电阻 | 200Ω 1% |
| USB3.0 最大允许插入损耗@2.5GHz | 9dB |
| 最大走线长度共模电感到连接器(USB2.0 信号) | 24mm |
| 差分组内等长(USB2.0 信号) | ≤1.2mm |
| 差分组内等长(USB3.0 信号) | ≤0.1mm |
| 差分对间距离(USB3.0Gne1 5Gbps) | ≥7H |
| 差分对间距离(USB2.0 信号) | ≥5H |
| 与其它信号间距 | ≥5H |
| 与参考平面边缘间距 | ≥5H |
| 建议过孔数量 | ≤2 个 |

### 2.5.4.2 设计要点

- USB 信号走线参考 GND，保证参考平面完整，尽量保证没有跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。
- 尽量缩短走线长度，尽量远离开关电源、晶振等噪声源，以保证信号质量。
- 建议在换层孔附近添加回流孔，尽量减少换层过孔数量。
- 根据 USB3.0 规范要求，USB-A 接口电力传输为 5V 900mA，USB-C 接口可高达 100W(20V 5A)，建议 VBUS 电源采用铺平面方式接入，建议提高电源通路的通流


版权所有 © 飞腾信息技术有限公司

能力达到规范要求的 1.5 倍。

- TX 与 RX 信号之间走线无需等长处理。
- TX 信号上串接的 100nF 耦合电容尽量靠近 USB 座并对称放置，图 2-32。
- USB 座上机壳地与数字地完全分开单点连接。
- USB 信号 ESD 防护和过流保护器件靠近 USB 座放置，图 2-32。

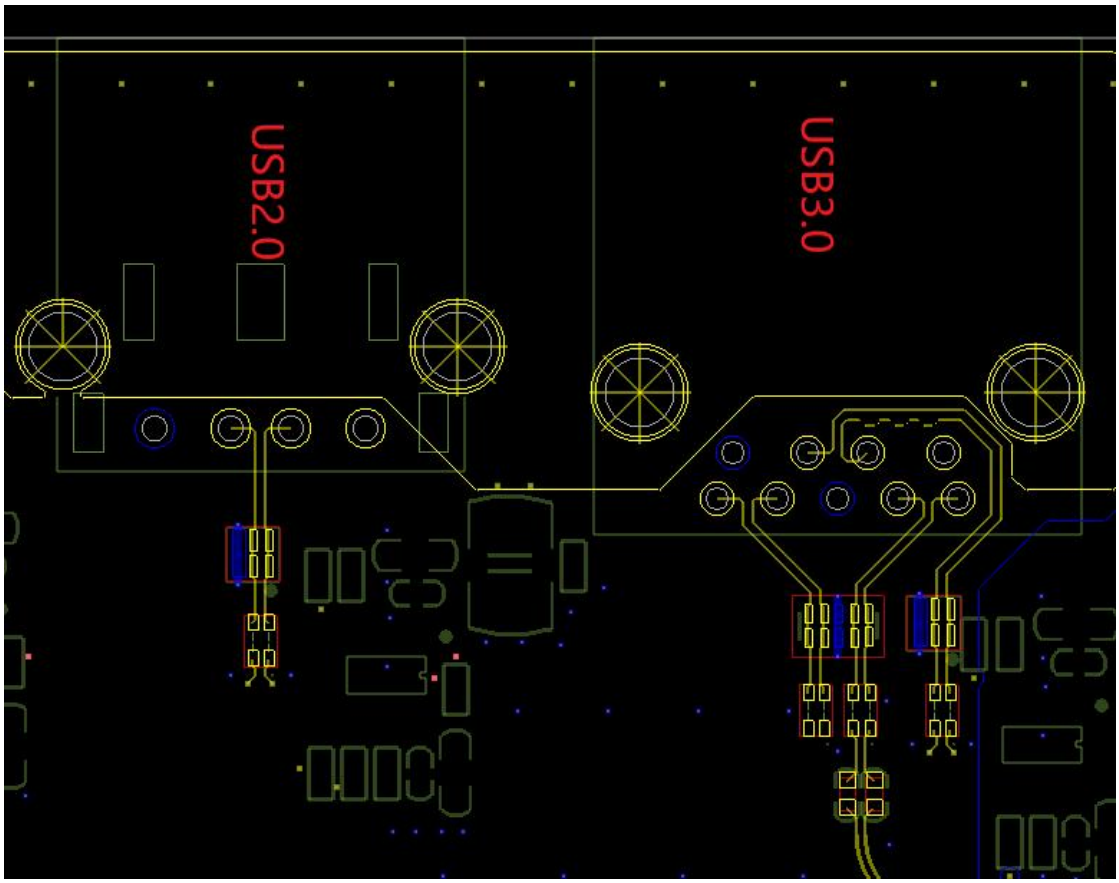


图 2-32 USB 接口耦合电容与 ESD 器件 PCB 布局示意图

# 2.6 DisplayPort 接口

## 2.6.1 接口特性

飞腾派集成的 DisplayPort1.4 控制器主要支持如下特性：

- 兼容 DisplayPort1.4/Embedded DisplayPort1.4 协议；
- 支持音频数据通道：
  - 最高支持 8 声道；
  - 最高支持采样位宽 24 bit；
  - 支持 44.1/48KHz 音频速率。


版权所有 © 飞腾信息技术有限公司

- 支持 SST 模式；
- 最高支持每个颜色通道 16 bit 宽度；
- 支持 1 lane mode；
- DP/eDP 支持最高 HBR2（5.4Gbps）链路速率，RGB 每个颜色通道 8bit 色深情况下，支持最大分辨率 1920x1080@60Hz；
- 支持 32bpp@30f/s，最大支持色深 48bit，即 RGB 每个颜色分量的色深为 16bit；
- 在 32bpp@30f/s 下，支持分辨率最高为 1920x1080。在 DP 链路输出带宽不超出 5.4Gbps 下，使用“CVT Reduced Blank”模式，实测可支持的最高分辨率为 1920x1200@60Hz；
- 支持硬件光标，硬件光标为 32x32；
- 支持 AUX 通道；
- 支持热插拔检测：
  - —HPD 事件
  - —HPD 中断请求

说明

注 1：DisplayPort 接口直接连接显示器时，受 DisplayPort 连接线材质、连接紧密程度等影响，连接速率可能出现降速到 HBR1（即 2.7Gbps/Lane）的情况。降速后的连接带宽将无法支持额定最高分辨率的显示。

注 2：BMC 场景不支持 DisplayPort 接口直出。

## 2.6.2 信号描述

飞腾派含有两个独立带复用功能的 DP1.4 接口，使用时需要提供 100MHz 的差分时钟输入，时钟输入信号分别为 SGMII2_REFCLKP/N、SGMII3_REFCLKP/N。

表 2-28 飞腾派 DisplayPort 接口描述

| 信号名称 | 方向 | 信号描述 | 推荐连接方式 |
|---|---|---|---|
| SGMII2_REFCLKP | I | DP0、SGMII2 100MHz 参考时钟差分信号 | 直连 |
| SGMII2_REFCLKN | I | | |
| SGMII3_REFCLKP | I | DP1、SGMII3 100MHz 参考时钟差分信号 | 直连 |
| SGMII3_REFCLKN | I | | |
| DP0_L0_P | O | Lane0 数据发送差分信号 | 100nF 电容耦合连接 |
| DP0_L0_N | O | | |
| DP0_AUX_P | I/O | 辅助通道差分信号 | 100nF 电容耦合连接 |
| DP0_AUX_N | I/O | | |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| SGMII2_REXT | I | DP0、SGMII2 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| DP0_HPD | I | DP0 热插拔检测信号，1 为设备插入，0 为设备拔出 | |
| DP1_L0_P | O | Lane0 数据发送差分信号 | 100nF 电容耦合连接 |
| DP1_L0_N | O | | |
| DP1_AUX_P | I/O | 辅助通道差分信号 | 100nF 电容耦合连接 |
| DP1_AUX_N | I/O | | |
| SGMII3_REXT | I | DP1、SGMII3 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| DP1_HPD | I | DP1 热插拔检测信号 | |

## 2.6.3 拓扑结构

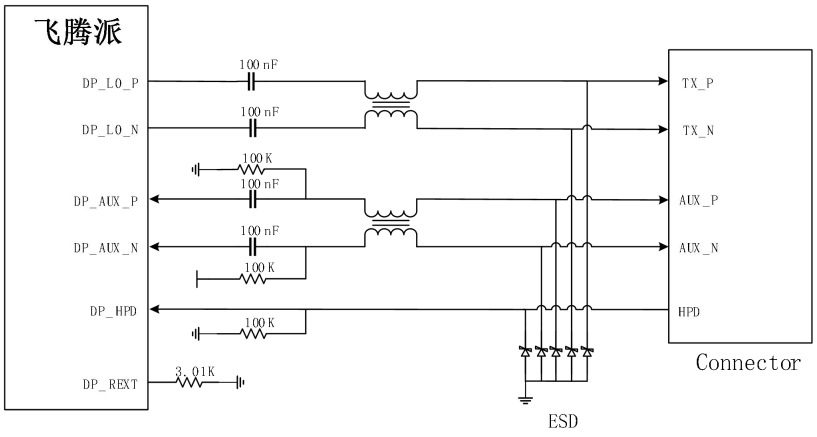


图 2-33 DisplayPort 连接拓扑

## 2.6.4 PCB 设计建议

### 2.6.4.1 布线要求

表 2-29 DisplayPort 布线要求

| 参数 | 要求 |
|---|---|
| 阻抗控制 | 100Ω ±10%差分、50Ω ±10%单端 |
| AC 耦合电容 | 100nF 10% |
| 校准电阻 | 3.01KΩ 1% |
| 最大允许插入损耗@2.7GHz | 8dB |
| 差分对内等长 | ≤0.05mm |
| 差分对间距离 | ≥5H |
| 与其它信号间距 | ≥5H |


版权所有 © 飞腾信息技术有限公司

| | |
|---|---|
| 自身间距 | ≥7H |
| 与参考平面边缘最小间距 | ≥5H |
| 建议过孔数量 | ≤4 个 |

### 2.6.4.2 设计要点

- 尽量缩短走线长度，尽量远离开关电源、晶振等噪声源，以保证信号质量；
- DisplayPort 信号走线必须按 100Ω±10%阻抗差分走线；
- 建议在换层孔附近添加回流孔，尽量减少换层过孔数量；
- DisplayPort 信号走线参考 GND，保证参考平面完整，尽量保证没有跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来；
- DisplayPort 信号 100nF 耦合电容尽量靠近 DisplayPort 座并对称放置，具体如图 2-34；
- DisplayPort 座上机壳地与数字地完全分开单点连接；
- DisplayPort 信号 ESD 防护和过流保护器件靠近 DisplayPort 座放置。

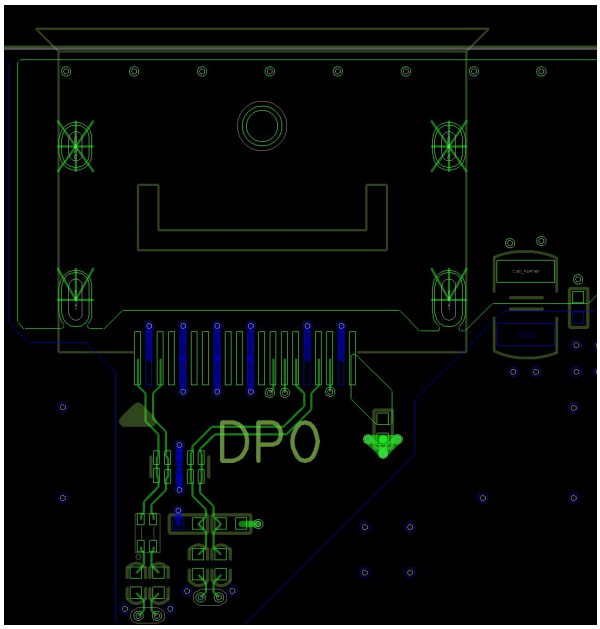


图 2-34 ESD 器件和耦合电容布局参考

## 2.7 SATA 接口

### 2.7.1 接口特性

飞腾派集成的 SATA 控制器兼容 SATA3.0 规范的接口，支持连接 1.5Gb/s、3.0Gb/s、


版权所有 © 飞腾信息技术有限公司

6.0Gb/s 的 SATA 设备，工作在 6.0Gb/s 速率模式时连续顺序读带宽可达 500MB/s，连续顺序写带宽可达 470MB/s。本控制器寄存器兼容 AHCI1.3 的 HBA MEMORY 寄存器部分，但无 HBA CONFIGURATION 寄存器部分(pci 部分)，主机软件在访问寄存器接口时遵循相关的标准和约定，并遵循标准的命令协议约定。

有关功能的详细信息，请参见 SATA 控制器 CAP 寄存器(偏移地址为 00h)，支持的主要功能：

●电源管理(主控制器或设备请求进入 Partial 和 Slumber 电源状态的能力)；
●错误检测(具体能检测的错误请参考各端口的 SERR 寄存器)；
●NCQ 操作(允许设备重新排序命令，以更有效的数据传输)；
●DMA 数据传输；
●PIO 数据传输；
●热拔插；
●Command Completetion Coalescing；
●速率自动协商；
●活动状态 LED 指示。

不支持功能：

●RAID；
●SATA Legacy Mode(IDE Mode)；
●未适配的 AHCI 驱动(本 sata 控制器属于平台设备非 pci 类设备)。

## 2.7.2 信号描述

飞腾派含有两个带复用功能的 SATA3.0 接口，使用时需要提供 100MHz 的差分时钟输入，时钟输入信号分别为 PCIE1_REFCLKP/N、SGMII1_REFCLKP/N。

表 2-30 SATA 接口描述

| 信号名称 | 方向 | 信号描述 | 推荐连接方式 |
|---|---|---|---|
| PCIE1_REFCLKP | I | SATA0、PCIE1、USB3.0 PORT1 100MHz 参考时钟差分信号 | 直连 |
| PCIE1_REFCLKN | I | | |
| SGMII1_REFCLKP | I | SATA1、SGMII1、100MHz 参考时钟差分信号 | 直连 |
| SGMII1_REFCLKN | I | | |
| SATA0_TXP | O | 数据发送差分信号 | 10nF 电容耦合连接 |
| SATA0_TXN | O | | |
| SATA0_RXP | I | 数据接收差分信号 | 10nF 电容耦合连接 |
| SATA0_RXN | I | | |
| PCIE1_REXT | I | SATA0、PCIE1、USB3.0 PORT1 | |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| | | 外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| SATA1_TXP | O | 数据发送差分信号 | 10nF 电容耦合连接 |
| SATA1_TXN | O | | |
| SATA1_RXP | I | 数据接收差分信号 | 10nF 电容耦合连接 |
| SATA1_RXN | I | | |
| SGMII1_REXT | I | SATA1、SGMII1<br>外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地 | |
| SATA[1:0]_LED | O | SATA 状态指示灯信号<br>0：无数据传输<br>1：有数据传输 | 外接 LED 指示灯 |

## 2.7.3 拓扑结构

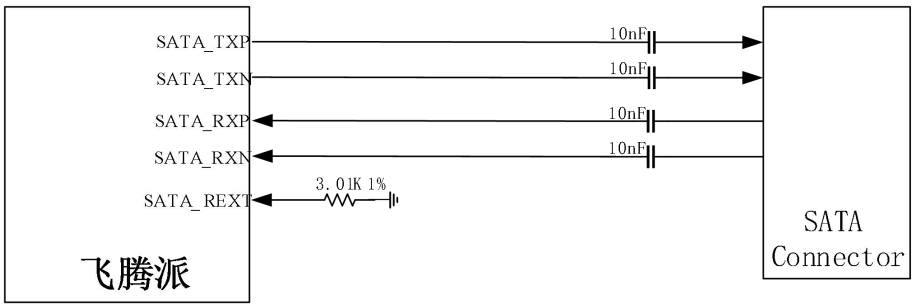


图 2-35 SATA 连接拓扑

## 2.7.4 PCB 设计建议

### 2.7.4.1 布线要求

表 2-31 SATA 布线要求

| 参数 | 要求 |
|---|---|
| 阻抗控制 | 100Ω±10%差分 |
| AC 耦合电容 | 10nF 10% |
| 校准电阻 | 3.01KΩ 1% |
| 最大允许插入损耗@3GHz | 5dB |
| 差分对内等长 | ≤0.07mm |
| 差分对间距离 | ≥5H |
| TX 和 RX 间距离 | ≥7H |


版权所有 © 飞腾信息技术有限公司

| | |
|---|---|
| 与其它信号间距 | ≥5H |
| 与参考平面边缘最小间距 | ≥5H |
| 建议过孔数量 | ≤2 个 |

### 2.7.4.2 设计要点

- 尽量缩短走线长度，尽量远离开关电源、晶振等噪声源，以保证信号质量；
- SATA 信号走线必须按 100Ω±10%阻抗差分走线；
- 建议在换层孔附近添加回流孔，尽量减少换层过孔数量；
- SATA 信号走线参考 GND，保证参考平面完整，不建议存在跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来；
- TX/RX 信号之间走线无需等长处理；
- TX/RX 信号同层走线时，建议保证 7H 间距；
- 如图 2-36 所示，SATA 信号 10nF 耦合电容尽量靠近 SATA 座并对称放置。

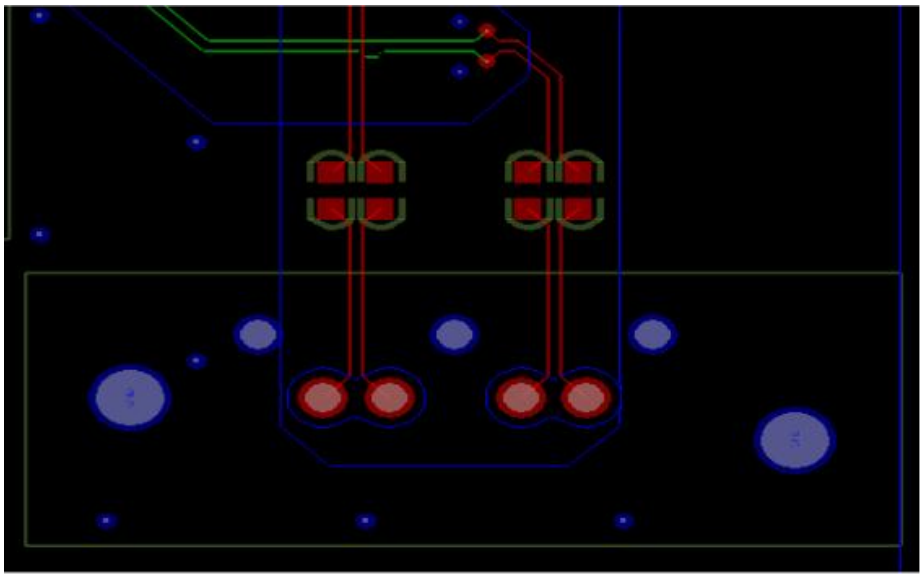

图 2-36 耦合电容布局参考

## 2.8 QSPI 接口

### 2.8.1 接口特性

飞腾派集成的 QSPI 控制器支持如下功能：

- 支持同时外接 4 个 NOR Flash，不支持 SPI NAND Flash；
- 支持 NOR Flash 闪存的命令集；


版权所有 © 飞腾信息技术有限公司

- Flash 连接模式：支持单/双/四线模式；支持 SDR 模式；不支持 DDR 模式；同一时刻只能对一个 NOR Flash 进行操作；
- 总线的最高时钟频率为 37.5MHz；
- 片选和写保护的建立和保持时间可编程调节；
- 当不处于四线模式或 QPI 模式时，支持写保护模式；使能四线模式或 QPI 模式时，软件应禁用此功能；
- 最大支持 512B 的页编程；
- 读取闪存时支持芯片内执行 XIP(XIP，需软件配置模式位)，支持数据块连续读完，支持器件 ID 内容全部读出(不限大小)；
- 支持硬件查询状态寄存器的 WIP 位(通过软件配置)；
- 支持动态修改不同指令对应的频率；
- 支持设置安全片选访问；支持设置两个安全区域；支持擦除命令过滤；
- 不支持加速模式，当#WP(即 IO2)输入接 9v 左右的电压时，flash 的编程和擦除将被加速，目前不支持这一模式；
- 不支持 hold 功能，hold 功能即允许主机暂停传输并拉高片选线，然后选择另一个设备，稍后返回暂停的传输。

## 2.8.2 信号描述

表 2-32 QSPI 接口描述

| 信号名称 | 方向 | 默认方向 | 信号描述 | 推荐连接方式 | 默认电平 |
|---|---|---|---|---|---|
| QSPI_SCK | O | O | 时钟信号 | 源端串接 22Ω 电阻 | 高 |
| QSPI_SO_IO0 | I/O | I | SPI：MOSI 数据信号；主机输出设备输入<br>QSPI：IO0，双向 IO0 | 直连 | NA |
| QSPI_SI_IO1 | I/O | I | SPI：MISO 数据信号；主机输入设备输出<br>QSPI：IO1，双向 IO1 | 直连 | NA |
| QSPI_WP_IO2 | I/O | I | SPI：WP 写保护<br>QSPI：IO2，双向 IO2 | 直连 | NA |
| QSPI_HOLD_IO3 | I/O | I | SPI：HOLD 信号<br>QSPI：IO3，双向 IO3 | 直连 | NA |
| QSPI_CSN[3:0] | O | O | 片选信号 0~3 | 直连 | 高 |


版权所有 © 飞腾信息技术有限公司

## 2.8.3 接口时序

表 2-33 QSPI 接口时序说明

| 特性 | 符号 | 默认值 | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| 数据传输时钟频率 | $F_{SCK}$ | 18.75 | 18.75 | 37.5 | MHz |
| 数据传输时钟周期 | $P_{SCK}$ | 213.3 | 20 | 213.3 | - |
| QSPI_SCK 高电平时间 | $t_{CH}$ | 50%$P_{SCK}$ | 10 | 106.6 | ns |
| QSPI_SCK 低电平时间 | $t_{CL}$ | 50%$P_{SCK}$ | 10 | 106.6 | ns |
| QSPI_CSN 信号为高电平最少时间 | $t_{CS}$ | -- | 编程配置[1] | 编程配置[1] | ns |
| QSPI_CSN 信号建立时间 | $t_{CSS}$ | -- | 编程配置[1] | 编程配置[1] | ns |
| QSPI_CSN 信号保持时间 | $t_{CSH}$ | -- | 编程配置[1] | 编程配置[1] | ns |
| QSPI 输入数据建立时间 | $t_{su}$ | 3.5[2] | -- | -- | ns |
| QSPI 输入数据保持时间 | $t_{hd}$ | 2 | -2[3] | -- | ns |
| QSPI_WP，相对 SCK 有效建立时间 | $t_{WPS}$ | -- | 1.667 | 426.667 | ns |
| QSPI_WP，相对 SCK 有效保持时间 | $t_{WPH}$ | -- | 1.667 | 426.667 | ns |
| QSPI 数据输出 SCK 相对延迟时间 | $t_d$ | 2.5 | -- | -- | ns |

说明

注[1]：如需配置，请参考《飞腾腾珑 E2000 系列处理器软件编程手册》中的寄存器说明。

注[2]：数据在常温常压下测试，当工作条件更苛刻时建议留足余量。

注[3]：保持时间在上升沿之前 2ns，控制器在上升沿之前 3ns 采样。

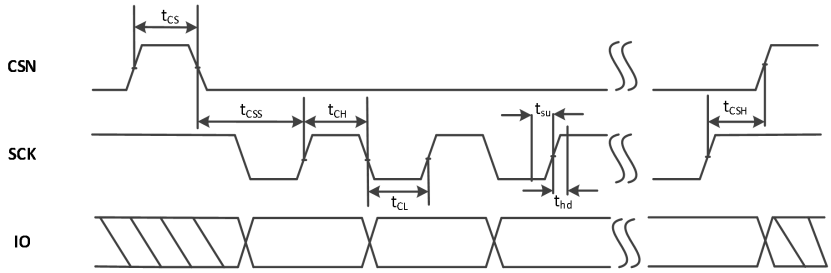


图 2-37 QSPI 总线时序


版权所有 © 飞腾信息技术有限公司

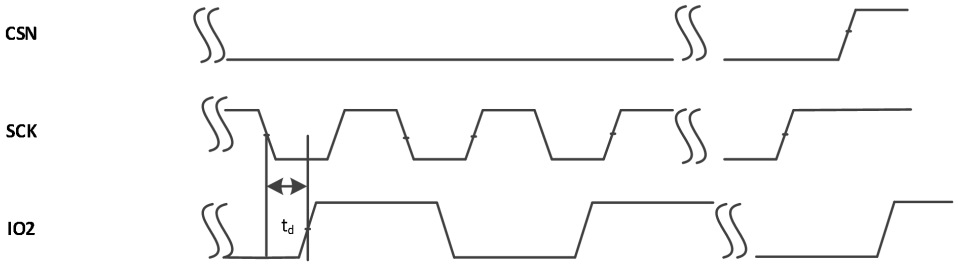


图 2-38 QSPI 数据输出 SCK 相对延迟时间

控制器开启写保护模式时的输出时序如下图：

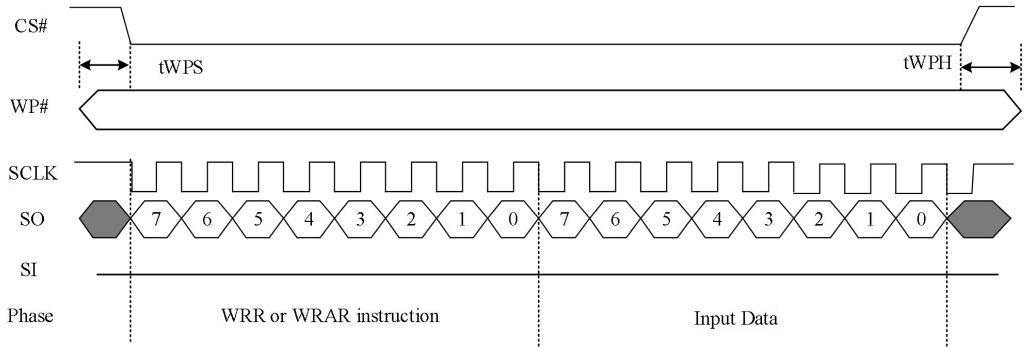


图 2-39 写保护模式输出

## 2.8.4 拓扑结构

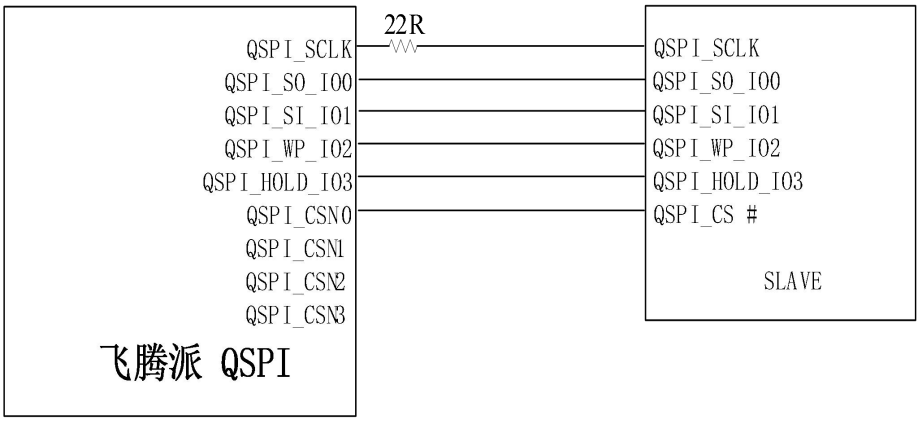


图 2-40 QSPI 单从设备拓扑


版权所有 © 飞腾信息技术有限公司

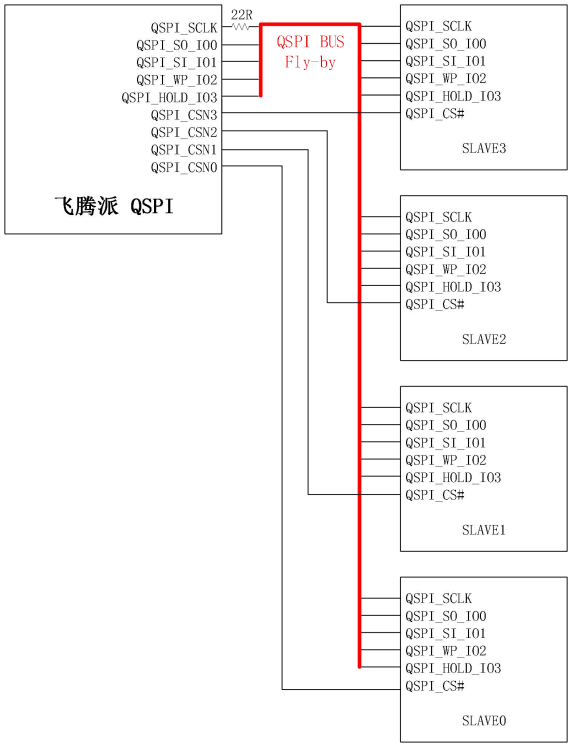


图 2-41 QSPI 多从设备拓扑

## 2.8.5 布线要求

表 2-34 QSPI 接口布线要求

| 参数 | 要求 |
| --- | --- |
| 阻抗控制 | 50Ω ±10%单端 |
| 最大走线长度 | <150mm |
| 信号等长 | -15mm≤L（数据信号-SCLK）≤15mm |
| 信号间最小距离 | ≥3H |
| 时钟信号与其他信号间距 | ≥5H |

说明

QSPI 接口连接多个器件时，采用 fly-by 拓扑结构，保证 stub 线尽量短，将 CSN0 上 BIOS FLASH 放到 fly-by 最末端。

# 2.9 SPI 接口

## 2.9.1 接口特性

飞腾派集成的 SPI Master 控制器可用于连接各类 SPI 外设。主要特性指标如下：

- 支持主模式；


版权所有 © 飞腾信息技术有限公司

- 支持中断的屏蔽与清除；
- 可编程接收串行数据位(rxd)采样延迟时间；
- 最大支持 4 片选，片选可由寄存器单独控制；
- SPI 时钟频率可配；
- 单次请求的数据长度为 4 到 16 位；
- 支持 4 种相位极性；
- 每路支持时钟关断。

## 2.9.2 信号描述

表 2-35 SPI 接口描述

| 信号名称 | 方向 | 信号描述 | 推荐连接方式 | 默认电平 |
|---|---|---|---|---|
| SPIMx_SCLK | O | 时钟信号 | 直连 | 低 |
| SPIMx_TXD | O | 数据信号：主机输出，从机输入 | | 低 |
| SPIMx_RXD | I | 数据信号：主机输入，从机输出 | | NA |
| SPIMx_CSN[3:0] | O | SPIM0 片选信号 0~3，低有效 | | 高 |

说明

注：x=0、1、2、3

## 2.9.3 接口时序

表 2-36 SPI 接口电特性

| 特性 | 符号 | 极限值 | | 单位 |
|---|---|---|---|---|
| | | 最小值 | 最大值 | |
| SCK 时钟周期 | $t_{clk}$ | 40 | -- | ns |
| CSN 下降沿相对 SCK 上升沿的建立时间 | $t_{css}$ | 39 | -- | ns |
| CSN 上升沿相对 SCK 时钟的保持时间 | $t_{csh}$ | 19 | -- | ns |
| SI 输入数据相对 SCK 时钟的建立时间 | $t_{sis}$ | 20 | -- | ns |
| SI 输入数据相对 SCK 时钟的保持时间 | $t_{sih}$ | 10 | -- | ns |
| SO 输出数据相对 SCK 时钟的延迟时间 | $t_{odly}$ | 34 | -- | ns |


版权所有 © 飞腾信息技术有限公司

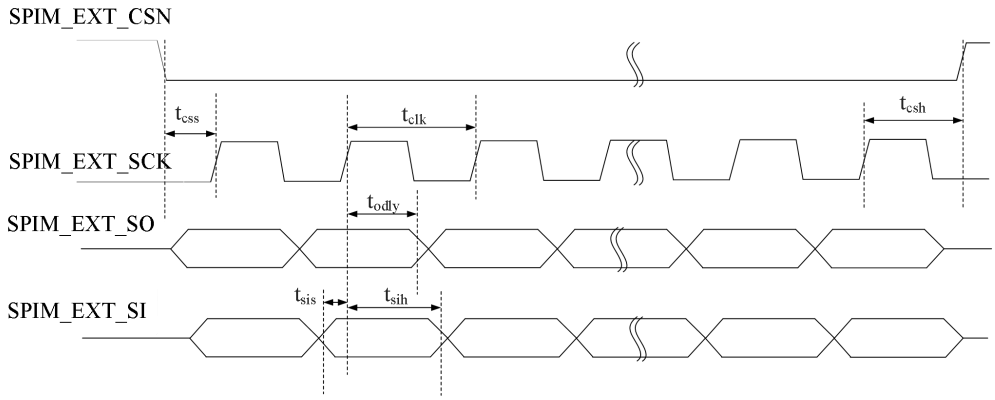


图 2-42 SPI 时序图

# 2.10 SD/SDIO/eMMC 接口

## 2.10.1 接口特性

飞腾派集成两种 SD 控制器，其中：

SD0 控制器主要性能指标如下：

- 兼容 SD3.0、SDIO3.0 协议规范；
- 兼容 eMMC Electrical Standard 5.0 协议规范，但不支持数据流传输模式；
- 支持接口线宽 1/4/8bit 软件可配；
- 支持外部中断；
- 支持热插拔；
- 支持机械写保护；
- 支持 UHS-I 模式，最高时钟频率 100MHz；
- HS200 模式下，设备端时钟运行频率最大不超过 100MHz。

SD1 控制器主要性能指标如下：

- 兼容 SD3.0、SDIO3.0 协议规范；
- 支持接口线宽 1/4bit 软件可配；
- 支持外部中断；
- 支持热插拔；
- 支持机械写保护；
- 支持 UHS-I 模式，最高时钟频率 100MHz；
- HS200 模式下，设备端时钟运行频率最大不超过 100MHz。

## 2.10.2 信号描述


版权所有 © 飞腾信息技术有限公司

表 2-37 SD/SDIO/eMMC 接口描述

| 信号名称 | 方向 | 默认方向 | 信号描述 | 推荐连接方式 | 默认电平 |
|---|---|---|---|---|---|
| SDO | | | | | |
| SDO_DATA[7:0] | I/O | I | 数据信号 | 直连 | NA |
| SDO_CMD | I/O | O | 命令信号 | 直连 | 高 |
| SDO_CLK | O | O | 时钟信号 | 源端串接22Ω电阻 | 低 |
| SDO_RST_N | O | O | 复位信号输出 | 直连 | 高 |
| SDO_DET_N | I | I | 卡在位检测信号，低有效 | 直连 | NA |
| SDO_VOLTO[1] | O | O | 电平选择管脚，配合实现 SD 卡切换电压功能 | 直连 | 低 |
| SDO_VOLT1 | O | O | | 直连 | 低 |
| SDO_WP_N | I | I | 写保护使能 | 直连 | NA |
| SDO_PWR_EN | O | O | 外部电源使能信号 | 直连 | 高 |
| SDO_INT_N | I | I | SDIO 中断信号 | 直连 | NA |
| SD1 | | | | | |
| SD1_DATA[3:0] | I/O | I | 数据信号 | 直连 | NA |
| SD1_CMD | I/O | O | 命令信号 | 直连 | 高 |
| SD1_CLK | O | O | 时钟信号 | 源端串接22Ω电阻 | 低 |
| SD1_DET_N | I | I | 卡在位检测信号，低有效 | 直连 | NA |
| SD1_VOLTO[1] | O | O | 电平选择管脚，配合实现 SD 卡切换电压功能 | 直连 | 低 |
| SD1_VOLT1 | O | O | | 直连 | 低 |
| SD1_WP_N | I | I | 写保护使能 | 直连 | NA |
| SD1_PWR_EN | O | O | 外部电源使能信号 | 直连 | 高 |
| SD1_INT_N | I | I | SDIO 中断信号 | 直连 | NA |

说明

注[1]： SDx_CARD_VOLTO 为高时，SD 卡外部供电选择为 1.8V，反之外部供电选择为 3.3V。（x 代表控制器 0 和控制器 1）


版权所有 © 飞腾信息技术有限公司

## 2.10.3 接口时序

### 2.10.3.1 默认标准模式

表 2-38 标准模式的总线时序参数值

| 特性 | 符号 | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| 时钟频率(任意状态) | $f_{STP}$ | 0 | 25 | MHZ |
| 时钟频率(数据传输状态) | $f_{PP}$ | 0 | 25 | MHZ |
| 时钟频率(识别模式) | $f_{OD}$ | 0/100 | 400 | KHZ |
| 时钟低电平 | $t_{WL}$ | 10 | -- | ns |
| 时钟高电平 | $t_{WH}$ | 10 | | ns |
| 输入建立时间 | $t_{ISU}$ | 5 | -- | ns |
| 输入保持时间 | $t_{IH}$ | 5 | -- | ns |

说明

注:Ccard≤10pF,(1card),CL=CBUS+CHOST+CCARD≤40pF

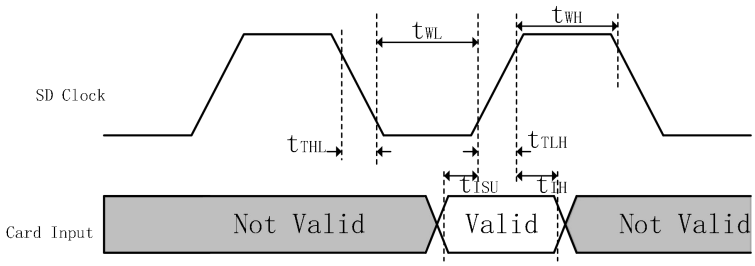


图 2-43 SD 卡时钟数据时序图(标准模式)

### 2.10.3.2 高速模式

表 2-39 高速模式总线时序参数值

| 特性 | 符号 | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| 数据传输时钟频率 | $f_{pp}$ | 0 | 50 | MHZ |
| 指令数据建立时间 | $t_{ISU}$ | 6 | -- | ns |
| 指令数据保持时间 | $t_{IH}$ | 2 | -- | ns |

说明

注:Ccard≤10pF,(1card),CL=CBUS+CHOST+CCARD≤40pF


版权所有 © 飞腾信息技术有限公司

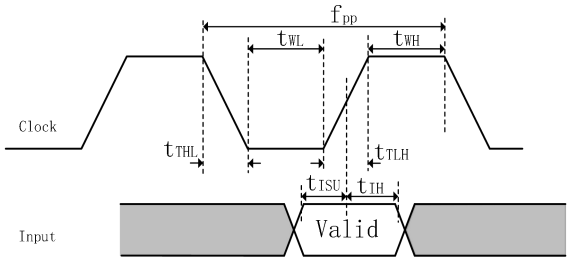


图 2-44 SD 卡时钟数据时序图(高速模式)

## 2.10.3.3 SDR 模式

表 2-40 SDR 模式的总线时序参数值

| 特性 | 符号 | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| 时钟周期(任意状态) | $t_{CLK}$ | 10 | -- | ns |
| 输入建立时间(sdr104) | $t_{IS}$ | 1.40 | -- | ns |
| 输入保持时间(sdr104) | $t_{IH}$ | 0.80 | -- | ns |
| 输入建立时间(sdr50) | $t_{IS}$ | 3.00 | -- | ns |
| 输入保持时间(sdr50) | $t_{IH}$ | 0.80 | -- | ns |

说明

注:Ccard≤10pF,(1card),CL=CBUS+CHOST+CCARD≤40pF

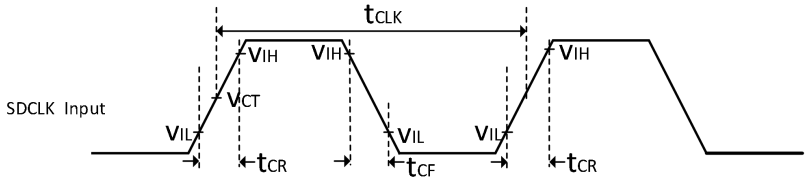


图 2-45 SD 卡时钟时序图(sdr 模式)

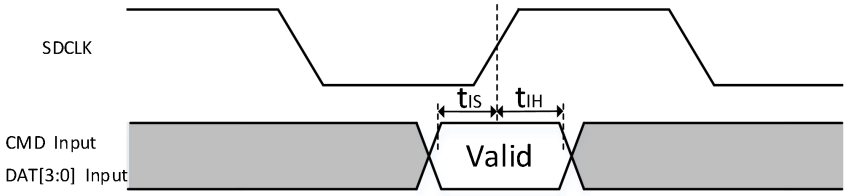


图 2-46 SD 卡输入时序图(sdr 模式)


版权所有 © 飞腾信息技术有限公司

## 2.10.4 拓扑结构

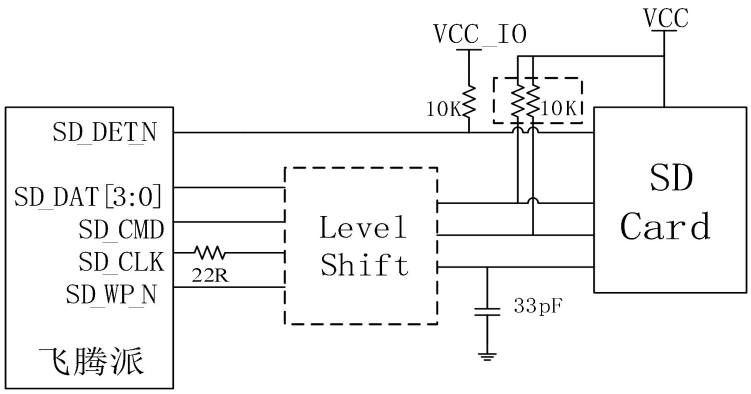


图 2-47 SD 卡 4 线拓扑

说明

**SD_DATA0~3 每根数据线都需要上拉，WP 管脚是否需要使用视卡类型而定。**

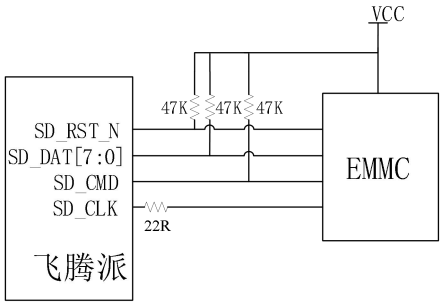


图 2-48 eMMC 拓扑

说明

**SD_DATA0~7 每根数据线都需要上拉，CMD 管脚需要较强大的驱动能力，上拉电阻阻值稍小即可。**

## 2.10.5 布线要求

表 2-41 SD/SDIO/eMMC 接口布线要求

| 参数 | 要求 |
|---|---|
| 阻抗控制 | 50Ω ±10%单端 |
| 最大走线长度 | 100mm |
| 信号等长要求 | -2.5mm≤L(CLK- DATA)≤2.5mm |
| 信号间最小距离 | ≥3H |


版权所有 © 飞腾信息技术有限公司

| | |
|---|---|
| 时钟信号与其他信号间距 | ≥5H |

# 2.11 NAND Flash 接口

## 2.11.1 接口特性

飞腾派集成的 NAND Flash 控制器支持如下功能：

- 支持 ONFI 2.2 及以下接口协议，在 ONFI 协议中支持异步和同步两种传输模式；
- 支持同时外接 4 个 NAND Flash 设备；
- 支持 DMA，采用描述符模式；
- 支持的命令集：ONFI NAND Flash 协议命令集；
- 支持多层单元闪存(MLC)、单层单元闪存(SLC)；
- 支持的页大小(page size)：512B，2KB，4KB，8KB，16KB；
- 支持 spare 空间读写，spare size 可配置；
- 支持接口 Timing 类型可配置；
- 支持 8-bit 和 16-bit NAND Flash 数据位宽；
- ECC 校验：2bits/512B、4bits/512B、8bit/512B 纠错能力，BCH 校验算法；
- 支持中断、错误处理，状态查询；
- 异步 8 位宽模式下传输带宽为 20MB/s，同步模式下传输带宽 80MB/s。

## 2.11.2 信号描述

表 2-42 NAND Flash 接口描述

| 信号名称 | 方向 | 默认方向 | 信号描述 | 推荐连接方式 | 默认电平 |
|---|---|---|---|---|---|
| NF_CE_N[3:0] | O | O | 片选信号 0~3 | 直连 | 高 |
| NF_RB_N[3:0] | I | I | Ready/Busy 状态指示接收信号 0~3，低为 Busy | | NA |
| NF_REN_WRN | O | O | 读使能信号与读写方向信号 | | 低 |
| NF_WEN_CLK | O | O | 写使能信号与时钟信号 | | 低 |
| NF_CLE | O | O | 命令锁存信号 | | 低 |
| NF_ALE | O | O | 地址锁存信号 | | 低 |
| NF_DQS | I/O | I | 数据选通(True) | | NA |
| NF_WP_N | O | O | 写保护使能信号 | | 高 |
| NF_D[15:0] | I/O | I | 16 位地址、数据、命令信号 | | NA |


版权所有 © 飞腾信息技术有限公司

## 2.11.3 接口时序

### 2.11.3.1 SDR 模式

表 2-43 SDR 模式电特性说明

| 特性 | 符号 | 最小 | 最大 | 单位 |
|---|---|---|---|---|
| 片选信号拉低到 NF_CLE 拉高 | A0 | 5 | -- | ns |
| NF_CLE 拉高到 NF_WEN_CLK 拉低 | A1 | 5 | -- | ns |
| NF_WEN_CLK 拉低到 NF_WEN_CLK 拉高 | A2 | 11 | -- | ns |
| NF_WEN_CLK 拉高到数据保持结束 | A3 | 11 | -- | ns |
| NF_CLE 拉低到片选信号拉高 | A4 | 5 | -- | ns |
| 数据结束到 NF_CLE 拉低 | A5 | 5 | -- | ns |
| 数据提前输出 | A6 | 10 | -- | ns |
| NF_WEN_CLK 拉高到片选信号拉高 | A7 | 10 | -- | ns |
| NF_RBN 拉高到 NF_REN_WRN 拉低 | A8 | 180 | -- | ns |
| NF_REN_WRN 高电平保持 | A9 | 11 | -- | ns |
| 读数据周期 | A10 | 22 | -- | ns |
| 地址周期与写数据周期之间的间隔 | A11 | 34 | -- | ns |

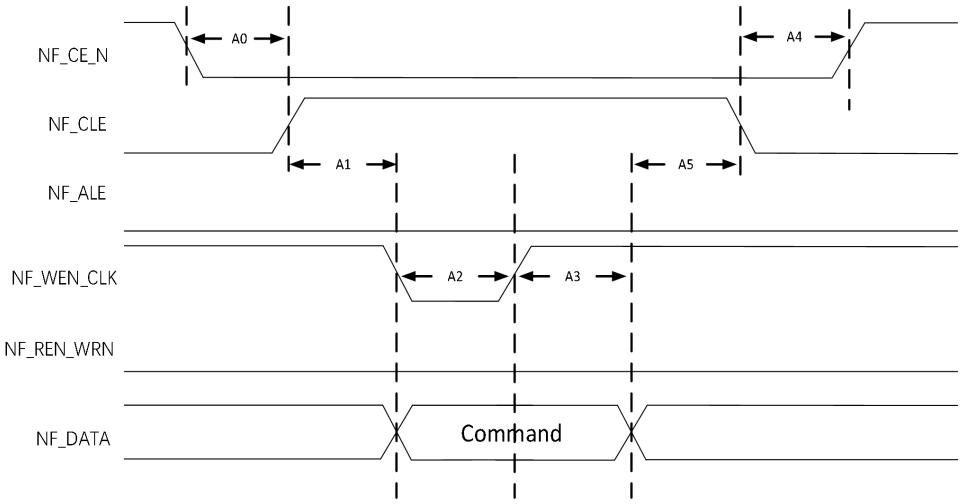


图 2-49 SDR 命令发送


版权所有 © 飞腾信息技术有限公司

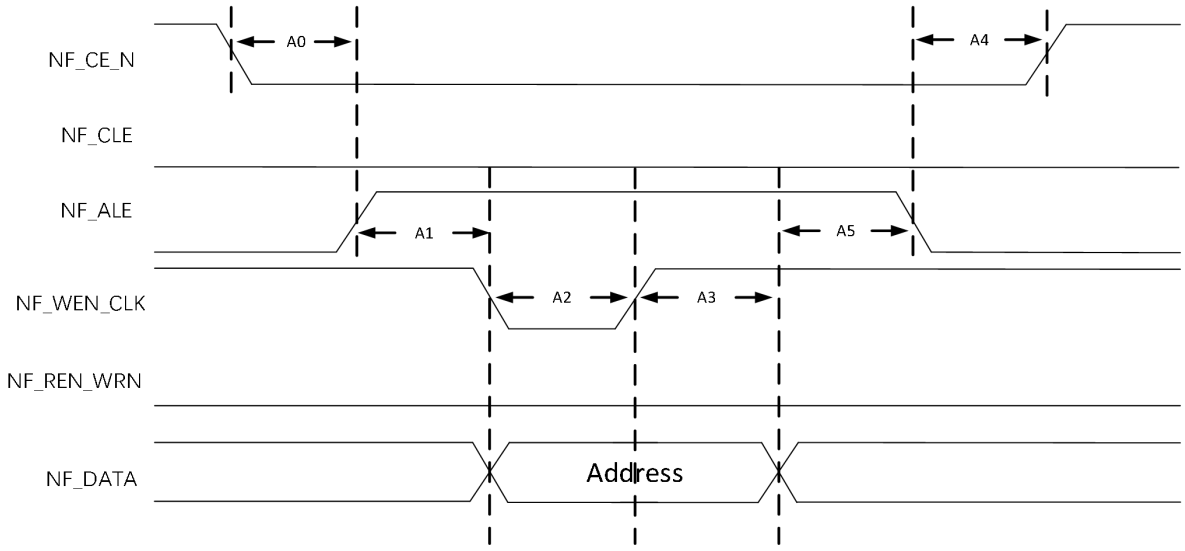


图 2-50 SDR 地址发送

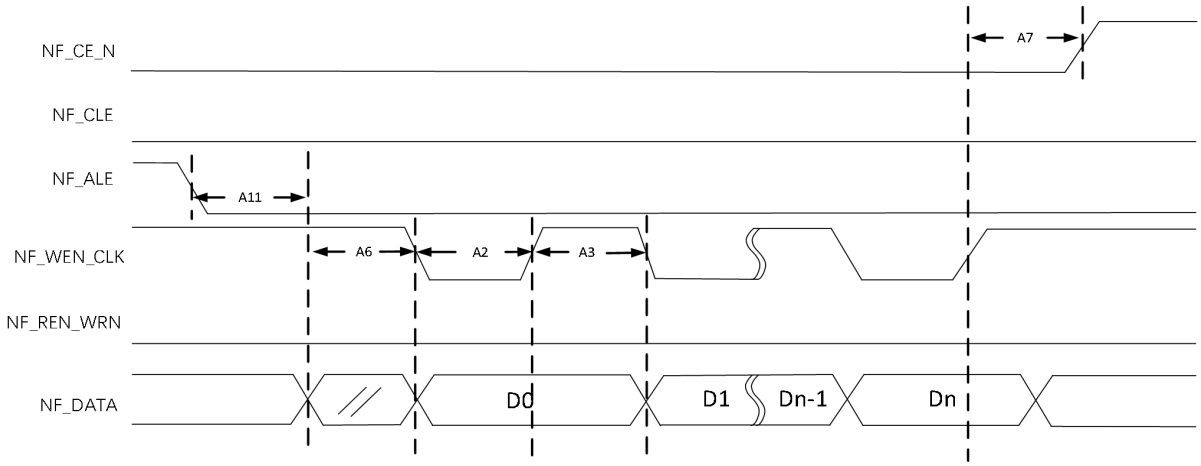


图 2-51 SDR 数据发送

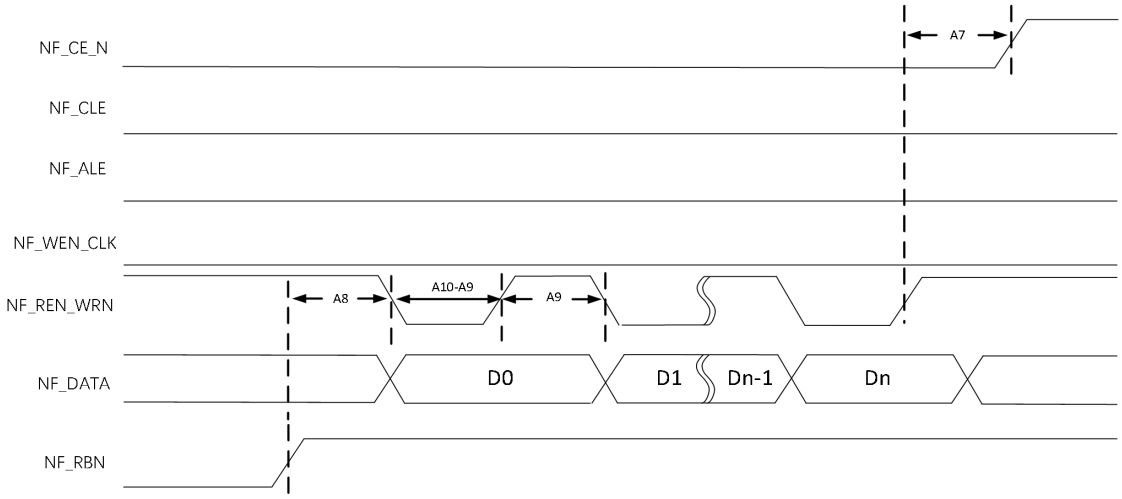


图 2-52 SDR 数据接收


版权所有 © 飞腾信息技术有限公司

## 2.11.4 拓扑结构

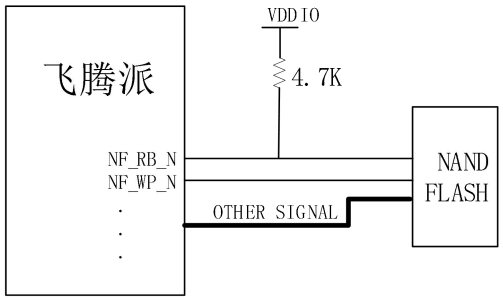


图 2-53 飞腾派 NAND Flash 拓扑

说明

**NF_RB_N 信号需外接上拉电阻，图示上拉电平 VDDIO 需用户按实际应用确定。**

## 2.11.5 布线要求

表 2-44 NAND Flash 接口布线要求

| 参数 | 要求 |
|---|---|
| 阻抗控制 | 50Ω±10%单端 |
| 最大走线长度 | 100mm |
| 信号等长 | ≤2.5mm |
| 信号间最小距离 | ≥3H |
| 时钟信号与其他信号间距 | ≥5H |

# 2.12 I2S 接口

## 2.12.1 接口特性

飞腾派集成的 I2S 支持如下功能：

- 支持最大通道数目：2；
- 单通道支持声道数目：2；
- 支持采样分辨率：8/16/20/24bit；
- 支持采样频率：44.1/48KHz；
- 频率：2.8224MHz/3.072MHz；
- 传输带宽：15Mbps；
- 支持部件时钟关断。


版权所有 © 飞腾信息技术有限公司

## 2.12.2 信号描述

表 2-45 I2S 接口描述

| 信号名称 | 方向 | 信号描述 | 推荐连接方式 | 默认电平 |
|---|---|---|---|---|
| I2S_MCLK | O | 主时钟/系统时钟 | 源端串接 33Ω电阻 | NA |
| I2S_LRCK | O | 帧时钟，左右声道区分 | | 低 |
| I2S_BCLK | O | 串行时钟/位时钟 | | 低 |
| I2S_SDO[3:0] | O | 数据输出 0~3 | | 低 |
| I2S_SDI[3:0] | I | 数据输入 0~3 | | NA |

## 2.12.3 接口时序

表 2-46 I2S 接口时序说明

| 特性 | 符号 | 最小 | 最大 | 单位 |
|---|---|---|---|---|
| MCLK 频率 | | -- | 51.2 | MHz |
| MCLK 占空比 | | 40 | 60 | % |
| LRCK 频率 | | -- | 200 | KHz |
| LRCK 占空比 | | 40 | 60 | % |
| BCLK 频率 | | -- | 26 | MHz |
| BCLK 低电平时间 | $t_{sclkl}$ | 15 | -- | ns |
| BCLK 高电平时间 | $t_{sclkh}$ | 15 | -- | ns |
| BCLK 下降沿到 LRCK 边沿 | $t_{slr}$ | -10 | 10 | ns |
| BCLK 下降沿到 SDO | $t_{sdo}$ | 0 | -- | ns |
| SDIN 的建立时间 | $t_{sdis}$ | 10 | -- | ns |
| SDIN 的保持时间 | $t_{sdih}$ | 10 | -- | ns |

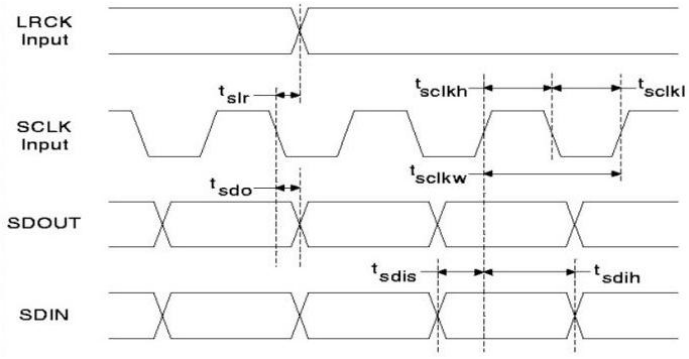


图 2-54 I2S 时序图


版权所有 © 飞腾信息技术有限公司

# 2.13 CAN 接口

## 2.13.1 接口特性

飞腾派集成的 CAN 控制器兼容 CAN2.0 标准协议和 ISO 11898-1(2015)CAN FD 标准协议，支持如下特性：

- 支持 data frame、remote frame、error frame、overload frame 帧格式；
- CAN 模式下波特率支持 5Kbps 至 1Mbps 配置；
- CAN FD 模式下仲裁场波特率支持 5Kbps 至 1Mbps 配置，数据场波特率支持 5Kbps 至 5Mbps 配置(配置波特率时需满足仲裁场波特率小于或等于数据场波特率)；
- 点对点。

## 2.13.2 信号描述

表 2-47 CAN 接口描述

| 信号名称 | 方向 | 信号描述 | 推荐连接方式 | 默认电平 |
|---|---|---|---|---|
| CANx_TX | O | 数据发送 | 直连 | 高 |
| CANx_RX | I | 数据接收 | | NA |

说明

注：x=0、1

## 2.13.3 接口时序

表 2-48 CAN 接口时序说明

| 特性 | 符号 | 最小 | 最大 | 单位 |
|---|---|---|---|---|
| rxd 和 txd 周期(波特率的倒数) | T | 1000 | 200000 | ns |
| rxd 和 txd 低电平时间 | $t_L$ | 1 | 6 | T |
| rxd 和 txd 高电平时间 | $t_H$ | 1 | -- | |

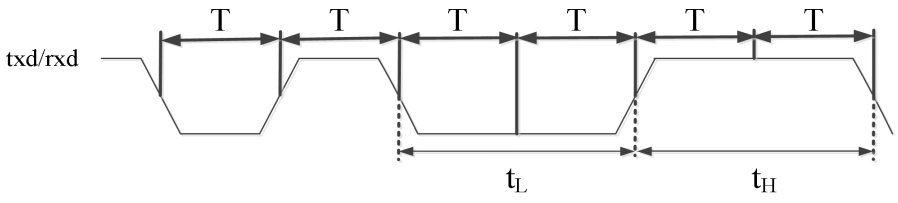


图 2-55 CAN 时序图


版权所有 © 飞腾信息技术有限公司

# 2.14 JTAG Master 接口

## 2.14.1 接口特性

飞腾派集成的 JTAG master 控制器涉及 5 个 JTAG 总线接口信号，遵循 JTAG 总线协议，JTAG 协议被广泛应用于各类硬件调试接口以及下载接口，由于不同厂家不同场景的从机设备支持的指令 IR 不同，所以不能兼容使用。本控制器支持 IR 和 DR 级别的配置，而不是通过对 GPIO 信号线的编程模拟 JTAG 信号线，提高软件配置效率的同时，灵活适用于多个厂商的设备。

主要功能如下：

- 兼容有无 JTAGM_NTRST 信号线的 4/5pin 的 JTAG 总线通信；
- 支持对输出 JTAGM_TCK 的频率配置，整数分频系数：65535-2，频率范围：762Hz-25MHz，不支持小数分频；
- 当状态机长时间处于 Reset 或 Idle 态时的 JTAGM_TCK 是否持续翻转，可由寄存器配置；
- 输入 JTAGM_TDI 信号的在一个 JTAGM_TCK 周期中，包括上升沿，一共有四个采样点可配置；
- 输出 JTAGM_NTRST 信号的高低电平可配置；
- 驱动和采样数据信号时，最低有效位或最高有效位开始可配置，默认为低有效位开始；
- 支持掩膜五类高电平有效中断的产生：输入队列已比较满，输出队列已比较空，输出队列已满出现了数据丢失情况，输出队列内数据长时间未被访问，sjtag 读寄存器时响应超时；
- 对于 IR，和写 DR 的请求，支持 32 深度，32 位数据位宽(加上控制位共 40 位)的 IR/DR 输出 fifo 队列；
- 对于读 DR 的请求，支持 32 深度，32 位数据位宽(加上控制位 40 位)的 DR 输入 fifo 队列；
- IR 和 DR 的有效位宽，由寄存器配置决定，IR 和 DR 最高支持位宽通过对 32 位寄存器的拼接，硬件上没有进行上限设置。

## 2.14.2 信号描述

表 2-49 JTAG Master 接口描述

| 信号名称 | 方向 | 默认方向 | 信号描述 | 推荐连接方式 | 默认电平 |
|---|---|---|---|---|---|
| JTAGM_TCK | O | O | 总线时钟信号 | 源端串接 22Ω电阻 | 低 |


版权所有 © 飞腾信息技术有限公司

| | | | | | |
|---|---|---|---|---|---|
| JTAGM_TMS | O | O | 模式选择信号 | 直连 | 高 |
| JTAGM_TDO | O | O | 主机输出指令和数据信号 | 直连 | 低 |
| JTAGM_TDI | I | I | 来自从机的数据输入信号 | 直连 | NA |
| JTAGM_NTRST | O | O | 复位信号 | 直连 | 低 |

### 2.14.3 接口时序

表 2-50 传输电特性说明

| 特性 | 符号 | 最小 | 最大 | 单位 |
|---|---|---|---|---|
| JTAGM_TCK 一个时钟周期，分频系数可配置，频率最高 25MHz(40ns)，最低 762Hz(1.3ms) | $T_{ck}$ | 40 | 1300000 | ns |
| 输入 JTAGM_TDI 建立时间 | $T_{su}$ | 5 | | ns |
| 输入 JTAGM_TDI 保持时间 | $T_{hd}$ | 5 | | ns |
| JTAGM_TDO 和 JTAGM_TMS 相对时钟下降沿的输出延迟 | $T_q$ | | $1/2T_{ck}-5$ | ns |

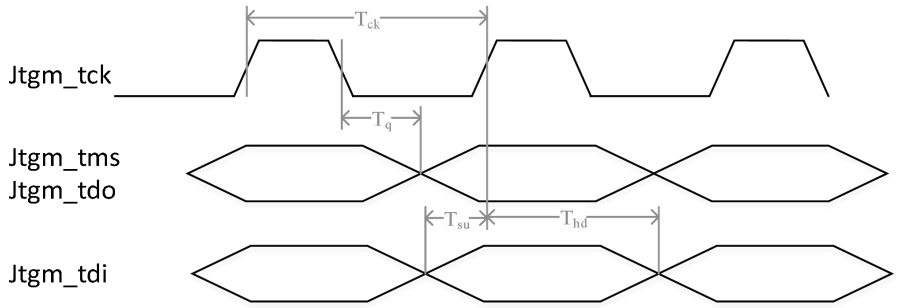


图 2-56 JTAG master 接口时序图

## 2.15 MIO 接口

### 2.15.1 接口特性

飞腾派 MIO 接口可配置为 UART 或 I2C，具体时序特性要求需满足复用功能的时序特性要求。当需要使用对应的功能时，需要软件进行相应配置，具体配置流程请参考《飞腾派软件编程手册》。

### 2.15.2 信号描述

MIO 为 UART/I2C 的集合接口。且信号直接有对应关系，详细设计见表 2-51。

表 2-51 MIO 复用对照表

| 功能 | MIO 名 | 功能信号名 | 描述 |
|---|---|---|---|


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| I2C | MIO[15:0]_A | I2C_SCL | I2C 接口的时钟信号 |
| | MIO[15:0]_B | I2C_SDA | I2C 接口的数据信号 |
| UART | MIO[15:0]_A | UART_RXD | UART 接口数据输入 |
| | MIO[15:0]_B | UART_TXD | UART 接口数据输出 |

### 2.15.3 MIO 内部结构

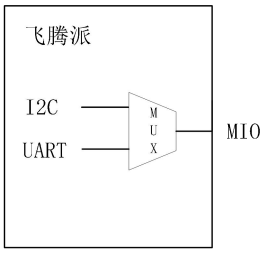


图 2-57 MIO 内部结构

## 2.16 UART 接口

### 2.16.1 接口特性

飞腾派集成了 9 线 UART 控制器和 5 线 UART 控制器和 3 线控制器，其中 3 线控制器均由 MIO 配置实现。UART 控制器的主要功能如下：

- 支持发送和接收数据缓存，深度 32-byte；
- 可编程波特率大小；
- 标准的异步通信位(启动、停止和奇偶校验)，在传输前添加，在接收时删除；
- 支持中断状态的屏蔽和清除；
- 支持 DMA 访问；
- 支持奇、偶校验方式，支持无校验位，支持校验位为软件设定值；
- 支持 8bits 数据位、1bit 校验位的帧格式；
- 9 线 UART 支持调制解调控制功能 CTS、DCD、DSR、RTS、DTR、RI，支持硬件流控。

### 2.16.2 信号描述

表 2-52 UART 接口描述

| 信号名称 | 方向 | 信号描述 | 推荐连接方式 | 默认电平 |
|---|---|---|---|---|
| UART0_CTS_N | I | 清除发送 | 直连 | NA |
| UART0_DCD_N | I | 数据载波检测 | | NA |
| UART0_DSR_N | I | 数据发送就绪 | | NA |


版权所有 © 飞腾信息技术有限公司

| | | | | |
|---|---|---|---|---|
| UART0_RI_N | I | 振铃指示 | | NA |
| UART0_RTS_N | O | 发送数据请求 | | 高 |
| UART0_DTR_N | O | 数据终端准备就绪 | | 高 |
| UART0_RXD | I | 数据接收 | | NA |
| UART0_TXD | O | 数据发送 | | 高 |
| UARTx_TXD | O | 数据发送 | | 高 |
| UARTx_RXD | I | 数据接收 | | NA |
| UARTx_CTS_N | I | 清除发送 | | NA |
| UARTx_RTS_N | O | 发送数据请求 | | NA |

说明

注：x=1、2、3；其中 UART1 默认为 CPU 调试串口

## 2.16.3 接口时序

表 2-53 UART 接口电特性

| 特性 | 符号 | 最小 | 最大 | 单位 |
|---|---|---|---|---|
| rxd 和 txd 低电平时间 | $t_L$ | 167 | -- | ns |
| rxd 和 txd 高电平时间 | $t_H$ | 167 | -- | |

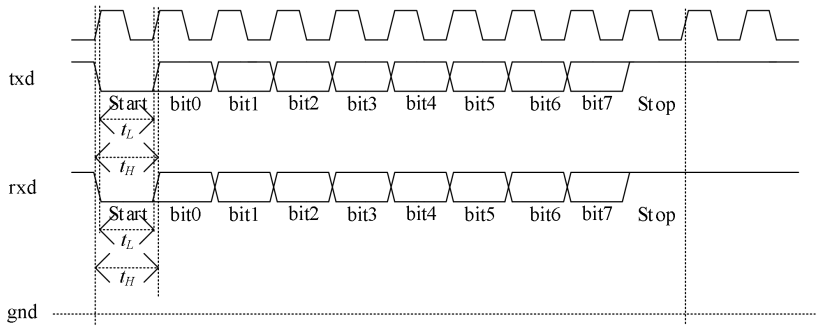


图 2-58 UART 三线时序图

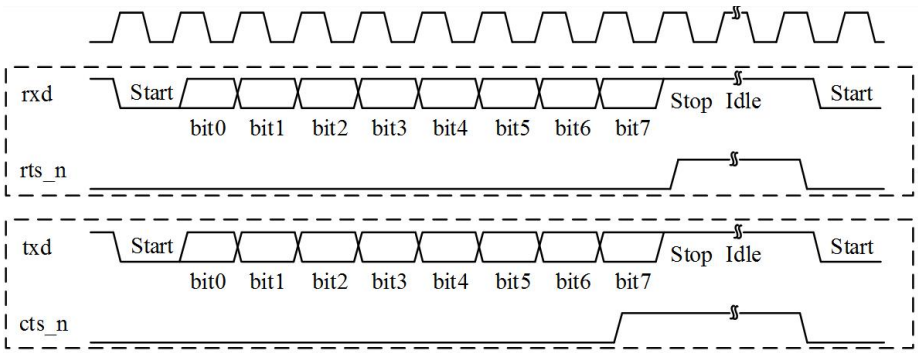


图 2-59 UART 五线时序图


版权所有 © 飞腾信息技术有限公司

说明

注 1：rts_n 为输出信号，和 rxd 信号结合分析；cts_n 为输入信号，和 txd 信号结合分析；

注 2：当 rts_n 有效（低），从机保持正常接收状态持续进行数据接收；当从机接收达到触发阈值后 rts_n 变高，从机在收完当前笔数据后停止数据接收；

注 3：当 cts_n 有效（低），主机保持正常发送状态持续进行数据发送；当 cts_n 变高后，主机将当前笔数据发送完成后不会发送下一笔数据；当 cts_n 由高变低后，主机会再次开始发送数据。

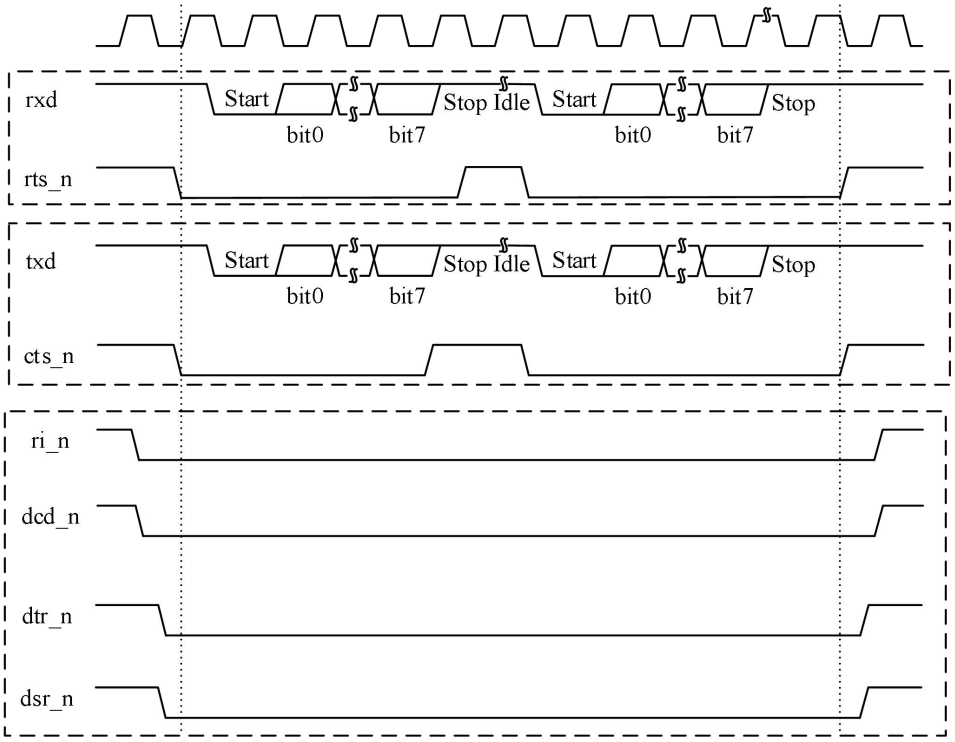


图 2-60 UART 九线时序图

说明

注 1：9 线可实现调制解调功能。ri_n 通知 DTE（数据终端设备）有呼叫进来，dcd_n 用于 DCE（数据通讯设备）通知 DTE 其处于在线状态；

注 2：DTE 和 DCE 准备就绪后依次 dtr_n、dsr_n 变为有效位（低），即两端已建立链接，如图所示；

注 3：接收数据过程通过 rxd 和 rts_n 结合分析；

注 4：发送数据过程通过 txd 和 cts_n 结合分析。

除 3 线外的 UART 控制器都有硬件流控功能，需要用到的信号有 CTS、RTS、DSR、DTR 等。5 线使用说明如下：硬件流控需要通讯两端的 RTS、CTS 对应相连，DTE（数据终端


版权所有 © 飞腾信息技术有限公司

设备）使用 RTS 来起始 DCE（数据通讯设备）的数据流，而 DCE 则用 CTS 来启动和暂停来自 DTE 的数据流。9 线使用说明如下：硬件流控需要双端 RTS 与 CTS、DSR 与 DTR 对应相连。DTR 和 DSR 进行主流控，类似 5 线中的 RTS 和 CTS。若 DTE 要发送数据，必须发出 RTS 信号请求发送数据，DCE 收到后如果空闲则发出 CTS 回应 RTS 信号，表示响应请求,然后 DTR 和 DSR 的信号交互参考上述 5 线中的 RTS 和 CTS 进行流控,同时 RTS 和 CTS 信号必须一直保持。

# 2.17 I2C 接口

## 2.17.1 接口特性

飞腾派中的 I2C 控制器均由 MIO 配置实现，具体功能如下：

- 支持 master/slave 模式；
- 支持 DMA 访问；
- 支持三种传输模式，频率可编程调节：标准模式(0~100Kb/s)；快速模式(<=400Kb/s)；高速模式(<=2Mb/s)；
- 支持 7-bit 或 10-bit 设备地址；
- 支持发送和接收缓存，深度 8-byte；
- 支持中断或轮询模式操作；
- 可编程调节的 SDA 建立/保持时间；
- 支持中断状态的屏蔽和清除；
- 设备地址可配。

注意

**SE 系统管理引擎下 SE_SCL 和 SE_SDA 为 I2C slave 接口，可用于读取芯片温度传感器的温度信息。**

## 2.17.2 信号描述

表 2-54 I2C 接口描述

| 信号名称 | 方向 | 信号描述 | 默认方向 | 默认电平 |
|---|---|---|---|---|
| I2C_SCL | I/O | I2C 接口 clock 信号 | I | NA |
| I2C_SDA | I/O | I2C 接口 data 信号 | I | NA |

## 2.17.3 接口时序


版权所有 © 飞腾信息技术有限公司

表 2-55 I2C 接口电特性

| 特性 | 符号 | 最小 | 最大 | 单位 |
|---|---|---|---|---|
| **I2C 接收时序** | | | | |
| 周期时间，SCL | $t_{c(SCL)}$ | 0.51 | -- | μs |
| 建立时间，SCL 为高之前 SDA 低(对重启动的 START 条件) | $t_{su(SCLH-SDAL)}$ | 0.1 | -- | μs |
| 保持时间，SCL 为低之后 SDA 低(对 START 和重启动的 START 条件) | $t_{h(SCLL-SDAL)}$ | 0.1 | -- | μs |
| 脉冲持续时间，SCL 低 | $t_{w(SCLL)}$ | 0.2 | -- | μs |
| 脉冲持续时间，SCL 高 | $t_{w(SCLH)}$ | 0.31 | -- | μs |
| 建立时间，在 SCL 高之前 SDA 的有效时间 | $t_{d(SDAV-SDLH)}$ | 0.1 | -- | μs |
| 保持时间，在 SCL 低之后 SDA 的有效时间 | $t_{v(SDLL-SDAV)}$ | 21 | -- | ns |
| 脉冲持续时间，在 STOP 和 START 条件之间 SDA 为高 | $t_{w(SDAH)}$ | 0.2 | -- | μs |
| 建立时间，在 SDA 高之前 SCL 高(对 STOP 条件) | $t_{su(SCLH-SDAH)}$ | 0.1 | -- | μs |
| 脉冲持续时间，spike(必须抑制) | $t_{w(SP)}$ | -- | -- | ns |
| 每条总线上的电容负载 | $C_b$ | -- | 400 | pF |
| 每个 I/O 引脚的电容负载 | $C_i$ | -- | 12 | pF |
| **I2C 发送时序** | | | | |
| 周期时间，SCL | $t_{c(SCL)}$ | 0.51 | -- | μs |
| 建立时间，SCL 为高到 SDA 为低(对重启动的 START 条件) | $t_{d(SCLH-SDAL)}$ | 0.1 | -- | μs |
| 保持时间，SDA 为低到 SCL 为低(对 START 和重启动的 START 条件) | $t_{h(SDAL-SCLL)}$ | 0.1 | -- | μs |
| 脉冲持续时间，SCL 低 | $t_{w(SCLL)}$ | 0.2 | -- | μs |
| 脉冲持续时间，SCL 高 | $t_{w(SCLH)}$ | 0.31 | -- | μs |
| 建立时间，在 SCL 高之前 SDA 有效时间 | $t_{su(SDAV-SDLH)}$ | 0.1 | -- | μs |
| 保持时间，在 SCL 低之后 SDA 有效时间 | $t_{v(SDA-SDLL)}$ | 0 | -- | μs |
| 脉冲持续时间，在 STOP 和 START 条件之间 SDA 为高 | $t_{w(SDAH)}$ | 0.1 | -- | μs |
| 建立时间，SCL 高到 SDA 高(对 STOP 条件) | $t_{d(SCLH-SDAH)}$ | 0.1 | -- | μs |
| 每条总线上的电容负载 | $C_b$ | -- | 400 | pF |
| 每个 I/O 引脚的电容负载 | $C_i$ | -- | 12 | pF |


版权所有 © 飞腾信息技术有限公司

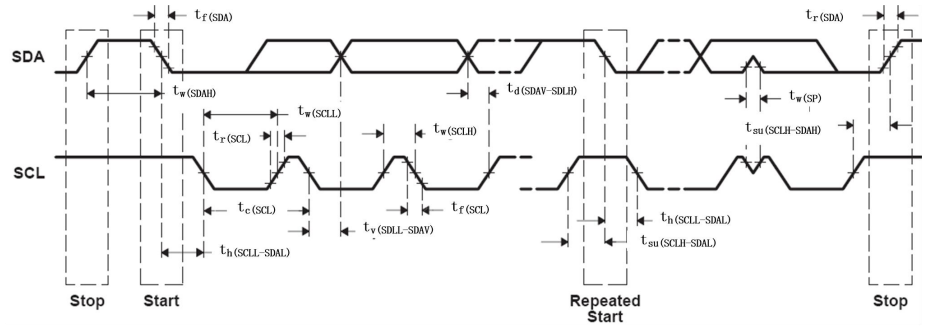


图 2-61 I2C 接收时序

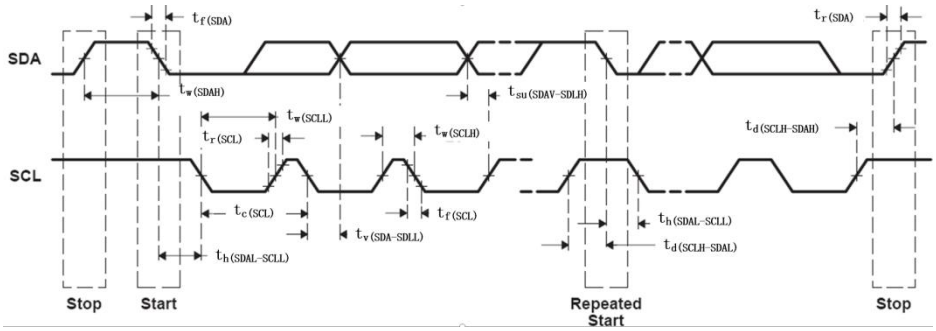


图 2-62 I2C 发送时序

# 2.18 PWM 接口

## 2.18.1 接口特性

飞腾派集成的 PWM 控制器支持典型的 PWM 功能，有 2 个完全独立的 Compare 输出通道。主要支持特性如下：

- 支持外部输入使能控制开关，实现多 PWM 模块之间协同工作；
- 支持可灵活配置的成对死区，内部集成 2 个独立的 PWM 子模块；
- 支持可配置的信号对格式：
  - —Active high(AH)；
  - —Active low(AL)；
  - —Active high complementsry(AHC)；
  - —Active low complementsry(ALC)；
- 在上升/下降沿增加可编程延迟；
- 支持死区完全 bypass；
- 支持全局软复位功能，全局使能控制；
- 支持 modulo 或 up and down 计数模式；
- 支持设置、清除或翻转的 output compare 功能；


版权所有 © 飞腾信息技术有限公司

- 内部 PWM 子模块支持时钟分频计数，分频系数为 1~4096，支持动态分频系数调整；
- Compare 模式下，输出 period 的控制可以动态更新，输出占空比配置数值支持 FIFO(8 深度，32bits)或寄存器两种方式；
- 支持每次 Compare 和计数终点中断；
- 支持可配转速周期内电机转速检测，并支持故障检查。

## 2.18.2 信号描述

表 2-56 PWM 接口描述

| 信号名称 | 方向 | 默认方向 | 信号描述 | 推荐连接方式 | 默认电平 |
|---|---|---|---|---|---|
| PWMx | O | I | PWM 信号输出 | 直连 | NA |
| TACHx | I | I | Tachometer 信号输入 | | NA |

说明

注：x=0~3

# 2.19 KeyPad 接口

## 2.19.1 接口特性

飞腾派集成的 8*8 KEYPAD 控制器支持如下特性：

- 矩阵键盘行列可配，最大支持 8×8 的外置矩阵键盘；
- 列可配开漏输出；
- 多按键检测；
- 长按键检测。

## 2.19.2 信号描述

表 2-57 KeyPad 接口描述

| 信号名称 | 方向 | 默认方向 | 信号描述 | 推荐连接方式 | 默认电平 |
|---|---|---|---|---|---|
| KEY_ROW[7:0] | I | I | 行输入信号 | 直连 | 高 |
| KEY_COL[7:0] | O | O | 列输出信号 | | 高 |


版权所有 © 飞腾信息技术有限公司

# 2.20 GPIO 接口

## 2.20.1 接口特性

飞腾派共集成 6 个 GPIO 控制器，每个控制器提供 16 路 GPIO 接口，均支持外部中断功能，GPIO0~2 的每位中断单独上报，控制器 GPIO3~5 的中断由模块内合成一个中断上报。

- 支持的中断触发类型：高电平、低电平、上升沿、下降沿；
- 支持中断单独屏蔽和清除。

GPIO 接口用作双向总线情况下，在进行总线方向切换时，可能存在电源到地的短路路径，可在片外或与接口芯片间设置 22Ω 保护电阻。

## 2.20.2 信号描述

表 2-58 GPIO 接口描述

| 信号名称 | 方向 | 默认方向 | 信号描述 | 默认电平 |
|---|---|---|---|---|
| GPIOx_[0:15] | I/O | I | CPU 通用输入输出信号管脚 | NA |

# 2.21 SMBUS 接口

## 2.21.1 接口特性

SE_SMBUS 是一种三线接口，为系统和电源管理相关的任务提供控制总线，具体支持如下功能：

- 支持三种最大总线速率：100KHz，400KHz，1MHz；
- 支持读写数据 32bits 和 64bits；
- 支持超时检测；
- 支持主从设备的时钟扩展检测；
- 支持 SMB_DAT 超时检测；
- 支持 SMBUS 协议规定的命令。

## 2.21.2 信号描述

表 2-59 SE_SMBus 接口描述

| 信号名称 | 方向 | 默认方向 | 信号描述 | 推荐连接方式 | 默认电平 |
|---|---|---|---|---|---|
| SE_SMBCLK | O | I | 时钟信号 | 直连 | NA |


版权所有 © 飞腾信息技术有限公司

| | | | | | |
|---|---|---|---|---|---|
| SE_SMBDAT | I/O | I | 数据信号 | | NA |
| SE_SMBALT | I | I | 请求仲裁信号 | | NA |

## 2.22 WDT

飞腾派集成了 2 个 WDT，分别用于控制安全域和非安全域中超时中断和超时复位的产生。WDT 的计数值来自系统计数器，当 WDT 初始化完成后，计数器第一次超时后产生中断，上报到中断管理模块；第二次超时后产生中断/复位，复位请求上报到时钟复位管理模块。支持喂狗操作，支持 WDT 关断功能。

## 2.23 调试接口

飞腾派为软硬件开发者提供较完善的调试支持，调试功能通过 FJTAG 接口实现：

表 2-60 FJTAG 接口描述

| 信号名称 | 信号描述 | 推荐连接方式 |
|---|---|---|
| FJTAG_TCK | 时钟信号 | 源端串接 22Ω电阻 |
| FJTAG_TMS | 模式选择信号 | 直连 |
| FJTAG_TDO | 数据输出信号 | 直连 |
| FJTAG_TDI | 数据输入信号 | 直连 |
| FJTAG_NTRST | TAP 控制器复位信号，可选 | 直连 |

飞腾派的总体调试结构如下图所示，用户使用调试主机通过调试仿真器连接到 CPU 核，控制核以后即可进行相应的调试操作。

调试仿真器支持 TRACE32 和 DS-5，相关配置要求如下。

表 2-61 调试环境支持

| 调试仿真器 | 软件支持 | 环境支持 |
|---|---|---|
| DS-5 | DS-5 配套软件 | Windows |
| TRACE32 | TRACE32 配套软件 | Windows，Linux，Macos |

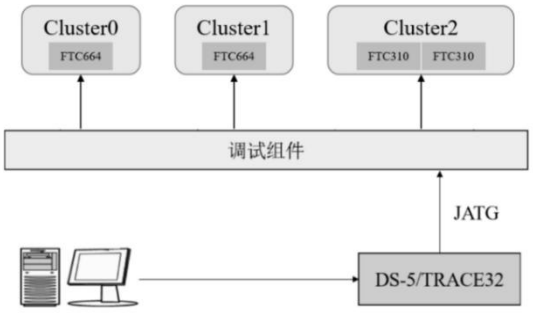


图 2-63 飞腾派软件调试结构


版权所有 © 飞腾信息技术有限公司

### 2.23.1 调试功能

在 CPU 核内集成调试组件，提供调试支持，实现对 CPU 核指令执行过程中的监听与控制，从而实现如下功能：

- 支持指令与数据断点、单步和连续运行、变量查看与修改等常见调试功能；
- Cluster2 支持指定条件下的指令 Trace 流的记录，对照源码，检查记录结果是否正确，Trace 功能是否完整；
- 支持复位功能，每个核在调试器控制下分别进行复位，每个核从第 0 条指令开始执行，复位不会影响其他核，只复位当前核；
- 支持多核调试，当一个 Core 进入调试状态，其他 Core 也同步进入调试状态；
- 支持 Bootloader 调试，从复位后第一条指令开始调试，能够执行程序运行控制、断点、变量查看等操作；
- 支持操作系统调试。

### 2.23.2 使用方法

芯片对外的调试接口可以通过上位机使用调试设备进行连接，支持 DS-5 以及 TRACE32 的调试请求，图 2-64 为 TRACE32 设备的连接图。使用 TRACE32 要求 PC 机提供标准的 USB 2.0 通信接口。

以 TRACE32 的使用为例，用户在 PC 机上安装完 TRACE32 调试软件后，建立对应的工程，配置相应的启动脚本即可正确连接 CPU，从而进行相应的调试工作。

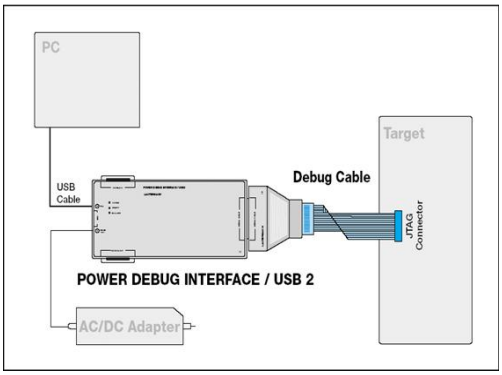


图 2-64 trace32 连接 PC 进行调试

## 2.24 系统 IO 接口

### 2.24.1 时钟电路

飞腾派最小系统时钟输入为 50MHz 单端时钟，电路设计参考如图 2-65 所示，最小


版权所有 © 飞腾信息技术有限公司

系统主时钟参数要求参考表 4-3。

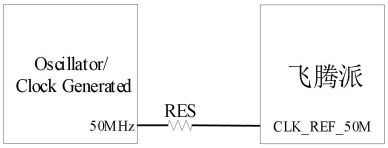


图 2-65 最小系统主时钟参考电路

表 2-62 最小系统主时钟参数要求

| 时钟 | 频率 | 占空比 | 频差 | 周期抖动（典型绝对值） | 电压 |
|---|---|---|---|---|---|
| CLK_REF_50M | 50MHz | 45%~55% | ≤50PPM | 121ps | 1.8V/3.3V |

## 2.24.2 复位和开机电路

在嵌入式应用领域，系统前级采用 12V 或者 24V 直流母线输入，只要前级直流母线电压在位，整个系统就会按照第 3.4 节所示的上电时序自动走开机流程。

CPU_POR_N 管脚用于复位 CPU 各模块；待 IO 电源上电后，由复位芯片延迟一段时间后解除复位状态。

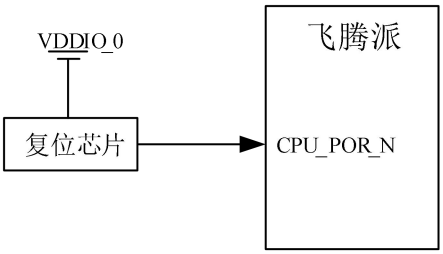


图 2-66 飞腾派复位电路示意图

## 2.24.3 BIOS 固件启动

飞腾派支持 QSPI、EMMC、SD CARD、NAND Flash 启动，支持最多 4 个固件 recovery 区，具体配置方式参照下表。

飞腾派支持使用下载工具通过 FJTAG 接口下载固件。

表 2-63 CPU 启动配置说明

| 配置脚 | 说明 |
|---|---|
| SE_CFG0 | SE_CFG[2:0]启动介质：<br>000：RESERVED<br>001：QSPI |
| SE_CFG1 | |
| SE_CFG2 | |


版权所有 © 飞腾信息技术有限公司

| | |
|---|---|
| SE_CFG3 | 011：NAND Flash |
| SE_CFG4 | 100：SD0-SD CARD<br>101：SD1-SD CARD<br>110：SD0-eMMC<br>111：RESERVED<br>SE_CFG[4:3]启动段位：<br>00：Default(RECOVER0)<br>01：RECOVER1<br>10：RECOVER2<br>11：RECOVER3 |

## 2.24.4 GPIO 特殊应用说明

表 2-64 GPIO 特殊应用说明[1]

| GPIO | 连接方式 | 说明 |
|---|---|---|
| GPIO0_14 | 连接 M.2 连接器 | PCIE1/SATA0 侦测信号，可用于连接 NVME_SSD、SATA_SSD 设备并实现自适应功能。<br>0：连接设备为 SATA 设备<br>1：连接设备为 PCIe 设备 |
| GPIO1_0 | 连接主板 CPLD/EC | 发送软关机重启信号 PWR_CTR0 |
| GPIO1_1 | 连接主板 CPLD/EC | 发送软关机重启信号 PWR_CTR1 |
| GPIO1_2 | 连接主板 CPLD/EC | 发送 S3_OK 信号给 CPU。系统由 S4/S5→S0（开机）CPLD/EC 拉低 GPIO1_2；系统由 S3→S0（唤醒），CPLD/EC 拉高 GPIO1_2 |
| GPIO1_3 | 连接主板 EC | EC 发送 SCI 中断给 CPU，低有效 |
| GPIO1_4 | 连接主板 CPLD/EC | USB 唤醒信号输出，在 S3 状态下，指示有唤醒事件发生，低有效 |

说明

注[1]：飞腾派代码开源，上述仅为软件初始默认配置 GPIO 口，客户可根据自身场景 PAD 使用情况灵活调整 GPIO 口。

注[2]：此侦测信号即图 2-15 SP_DET 信号。


版权所有 © 飞腾信息技术有限公司

# 3 电源管理

## 3.1 电源参数

表 3-1 核心电源参数说明[1]

| 产品形态 | 参数 | 最小值(V) | 典型值(V) | 最大值(V) | 最大电流(A) |
|---|---|---|---|---|---|
| 飞腾派 | VDD | 0.82 | 0.85 | 0.88 | 10.5 |

说明

注[1]：本表包含的测试数据均在最大结温下测试得到，最大结温参考表 1-1 和表 1-2。

表 3-2 其他模块电压电流参数[1]

| 参数 | 符号 | 最小值[2](V) | 典型值(V)[2] | 最大值[2](V) | 最大电流(mA) |
|---|---|---|---|---|---|
| DDR4 接口电源[3] | VDDQ<br>VDDQ_CK | 1.14 | 1.2 | 1.26 | 1000 |
| LPDDR4 接口电源[3] | VDDQ<br>VDDQ_CK | 1.06 | 1.1 | 1.17 | 850 |
| Serdes 模拟高压电源 | AVDDH | 1.14 | 1.2 | 1.26 | 200 |
| Serdes 模拟低压电源 | AVDDL | 0.76 | 0.8 | 0.84 | 400 |
| Serdes 高速时钟电源 | AVDD_CLK | 0.76 | 0.8 | 0.84 | 240 |
| USB2 电源[4] | USB2_VDDA_0<br>USB2_VDDA_1 | 0.76 | 0.8 | 0.84 | 60 |
| USB2 电源[4] | USB2_VCCA18_0<br>USB2_VCCA18_1 | 1.71 | 1.8 | 1.89 | 70 |
| USB2 电源[4] | USB2_VCCA33_0<br>USB2_VCCA33_1 | 3.135 | 3.3 | 3.465 | 30 |
| PLL 数字电源 | PLL_DVDDL_0 | 0.76 | 0.8 | 0.84 | 60 |


版权所有 © 飞腾信息技术有限公司

| | | | | | |
|---|---|---|---|---|---|
| | PLL_DVDDL_1 | | | | |
| PLL 模拟低压电源 | PLL_AVDDL | 0.76 | 0.8 | 0.84 | 60 |
| PLL 模拟高压电源 | PLL_AVDDH_0<br>PLL_AVDDH_1 | 1.71 | 1.8 | 1.89 | 60 |
| BANK IO 电源 | VDDIO_x | 0.95*VDDIO | 1.8/3.3 | 1.05*VDDIO | 200[5] |
| IO 保持电源及 BANK5 IO 电源[6] | VDDIO18 | 1.71 | 1.8 | 1.89 | 60 |
| 温度传感器电源 | VDDA | 1.71 | 1.8 | 1.89 | 10 |
| EFUSE 电源 | EFUSE_VQPS | 1.71 | 1.8 | 1.89 | 30 |
| PUF 电源 | PUF_OTP_VDD | 1.71 | 1.8 | 1.89 | 30 |
| 辅助电源 | VDD33 | 3.135 | 3.3 | 3.465 | 60 |

说明

注[1]：本表包含的测试数据均在最大结温下测试得到，最大结温参考表 1-1 和表 1-2；

注[2]：表格中典型值是 VR 设定的输出电压，最小值和最大值是推荐的极限工作电压，该值包括 DC 和 AC 引起的电压波动。建议从芯片底部电容处测试电压波动，示波器带宽设置为 20MHz；

注[3]：内存电源 VDDQ 参数仅为飞腾派芯片电流，不包含内存颗粒部分，设计时应根据具体内存情况设计电源，根据采用 DDR4 或 LPDDR4 两种不同内存类型，VDDQ 电压和功耗也有所区别；

注[4]：USB2_P0/P1/P2 接口由 USB2_VDDA_0、USB2_VCCA18_0、USB2_VCCA33_0 提供电源；USB2_P3/P4 接口由 USB2_VDDA_1、USB2_VCCA18_1、USB2_VCCA33_1 提供电源；

注[5]：该值为单一 BANK 功耗值；

注[6]：VDDIO18 电源为各 BANK IO 保持电源及 BANK5 IO 供电电源，需要保持常供电状态。

## 3.2 电源状态

飞腾派处理器的电源状态包括 S0、S3、S4 和 S5，详细说明请参照表 3-3。

表 3-3 电源状态

| 状态 | 开启的电源 | 备注 |
|---|---|---|
| S0 | 电源状态列表中指示 S0、S3 需在位 | 工作状态 |
| S3 | 电源状态列表中指示 S3 需在位 | Suspend to RAM |
| S4、S5 | 无 | Suspend to Disk、shutdown |

表 3-4 电源状态说明

| 参数 | 符号 | 嵌入式[1] | S3 场景一[2] | S3 场景二[3] |
|---|---|---|---|---|
| VDD 电源 | VDD | S0 | S3 | S0 |
| DDR4 接口电源 | VDDQ | S0 | S3 | S3 |


版权所有 © 飞腾信息技术有限公司

| | | | | |
|---|---|---|---|---|
| | VDDQ_CK | | | |
| Serdes 模拟高压电源 | AVDDH | S0 | S0 | S0 |
| Serdes 模拟低压电源 | AVDDL | S0 | S0 | S0 |
| Serdes 高速时钟电源 | AVDD_CLK | S0 | S0 | S0 |
| USB2 电源 | USB2_VDDA_0 | S0 | S0 | S0 |
| USB2 电源 | USB2_VDDA_1 | S0 | S3 | S0 |
| USB2 电源 | USB2_VCCA18_0 | S0 | S0 | S0 |
| USB2 电源 | USB2_VCCA18_1 | S0 | S3 | S0 |
| USB2 电源 | USB2_VCCA33_0 | S0 | S0 | S0 |
| USB2 电源 | USB2_VCCA33_1 | S0 | S3 | S0 |
| PLL 数字电源 | PLL_DVDDL_0<br>PLL_DVDDL_1 | S0 | S3 | S0 |
| PLL 模拟低压电源 | PLL_AVDDL | S0 | S3 | S0 |
| PLL 模拟高压电源 | PLL_AVDDH_0<br>PLL_AVDDH_1 | S0 | S3 | S0 |
| BANK IO 电源[4] | VDDIO_0 | S0 | S3 | S0 |
| BANK IO 电源[5] | VDDIO_x | S0 | S0 | S0 |
| IO 保持电源及 BANK5 IO 电源 | VDDI018 | S0 | S3 | S0 |
| 温度传感器电源[6] | VDDA | S0 | S0 | S0 |
| PUF 电源 | PUF_OTP_VDD | S0 | S0 | S0 |
| 辅助电源 | VDD33 | S0 | S0 | S0 |

说明

注[1]：嵌入式场景指工业控制等嵌入式应用，所有电源皆 S0，无 S3 需求；

注[2]：S3 场景一指有飞腾派 USB 接口唤醒需求的 S3 应用场景，需要 SE 模块在位，VDD 电源域在 S3 时由 SE 控制进行内部模块下电；

注[3]：S3 场景二指无飞腾派 USB 接口唤醒需求的 S3 应用场景；

注[4]：S3 场景一需要在 USB 唤醒时发出 WAKE_UP 信号，S3 状态需保持 BNAK0 IO 工作；

注[5]：指 BNAK1/2/3/4 供电电源；

注[6]：若在 S3 状态下有温度检测需求，电源状态需要调整为 S3。

## 3.3 电源方案

飞腾派 DDR4 颗粒和 DIMM 条场景电源方案见图 3-1，飞腾派涉及的电源域包括 0.85V/0.8V/1.2V/1.8V 和 3.3V，原则上电流需求大于 1A 以上建议采用 BUCK 供电。关键点说明如下：


版权所有 © 飞腾信息技术有限公司

1. 为了方便物料选型，选用一个 BUCK 先将系统 12V 或者 24V 输入降到 5V，然后再给后级电源供电；
2. 1.8V 和 3.3V BUCK 同时给外设供电，选用电源器件时需要考虑外设电流需求；
3. 建议给飞腾派供电的电源器件上电缓启的典型时间在 500μs 及以上。

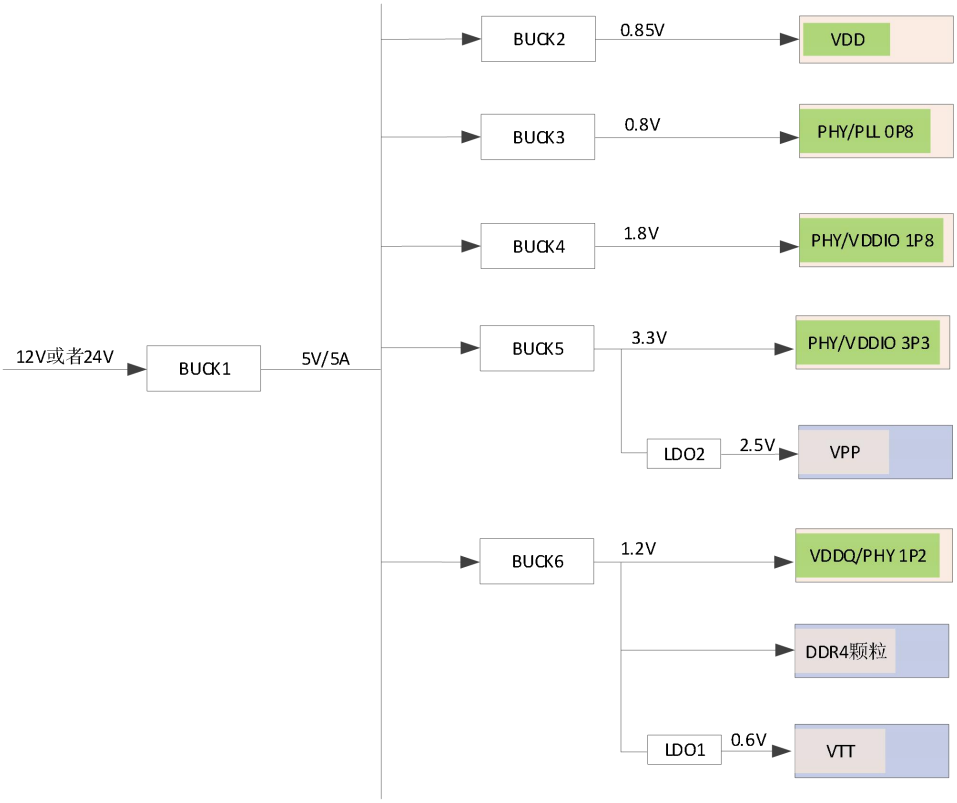


图 3-1 飞腾派 DDR4 颗粒和 DIMM 条场景电源方案示意图

飞腾派 LPDDR4 颗粒场景电源方案如图 3-2 所示，飞腾派涉及的电源域包括 0.85V/0.8V/1.1V/1.2V/1.8V 和 3.3V,原则上电流需求大于 1A 以上建议采用 BUCK 供电。关键点说明如下：

1. 为了方便物料选型，选用一个 BUCK 将系统 12V 或者 24V 输入降到 5V，然后再给后级电源供电；
2. 1.8V 和 3.3V BUCK 同时给外设供电，选用电源器件时需要考虑外设电流需求；
3. 建议给飞腾派供电的电源器件上电缓启的典型时间在 500μs 及以上。


版权所有 © 飞腾信息技术有限公司

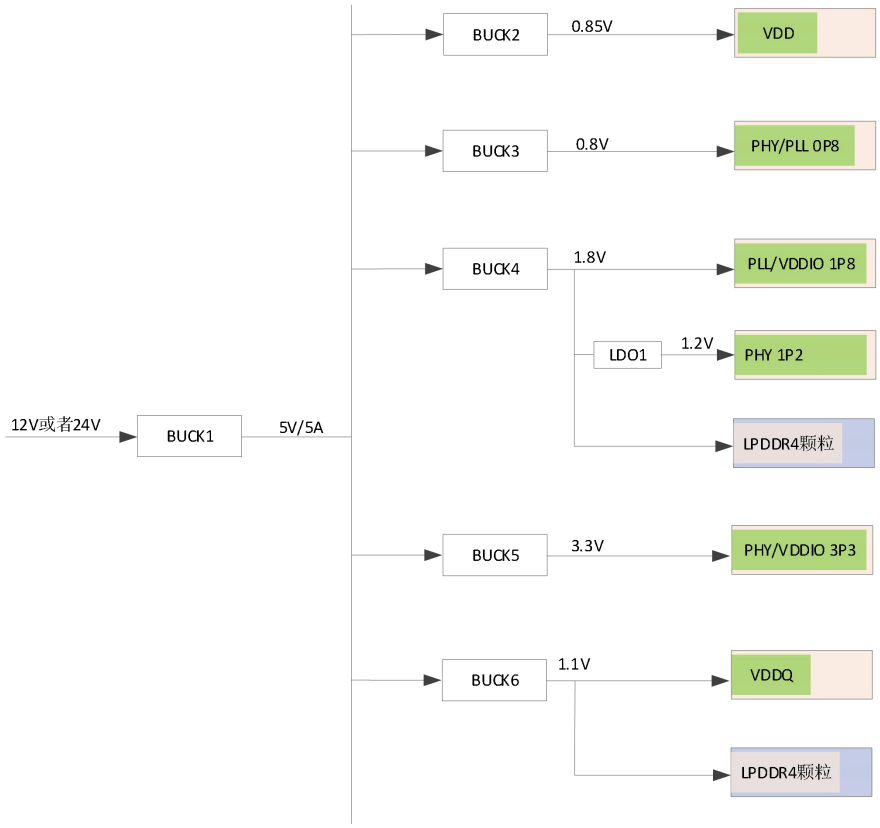


图 3-2 飞腾派 LPDDR4 颗粒场景电源方案示意图

# 3.4 电源时序控制

## 3.4.1 嵌入式场景时序控制

飞腾派嵌入式场景推荐的上电时序见图 3-3。建议使用电源芯片的 PG 信号来控制电源时序，t1 只要大于前一个电源上电缓启时间即可。POR_N 是 CPU 解复位信号，t2 建议值为 10ms，可以使用专门的复位芯片设置解复位时间。LPDDR4 场景，AVDDH 推荐跟随 1.8V 经 LDO 直接使能输出。


版权所有 © 飞腾信息技术有限公司

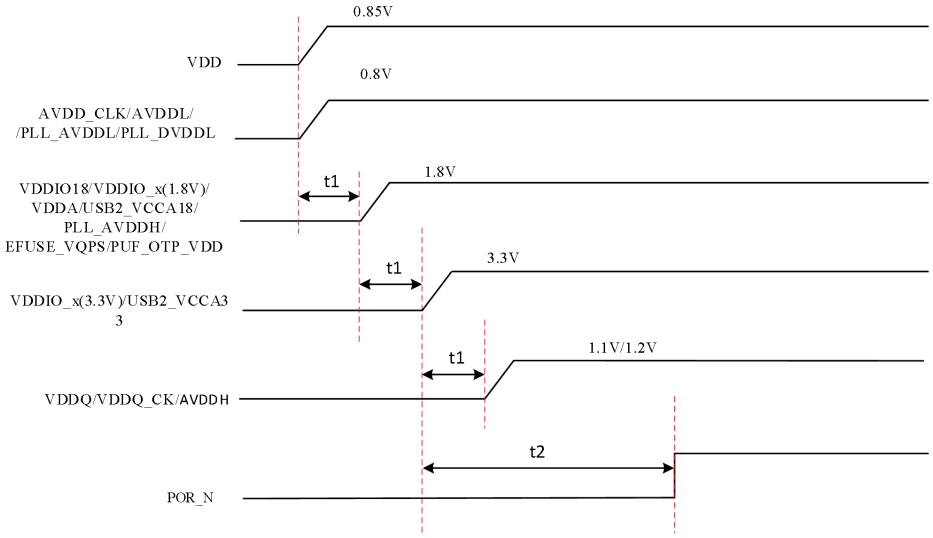


图 3-3 飞腾派上电时序示意图

飞腾派下电过程中需保证 VDDIO_x(3.3V)和 VDDIO18 的电压压差在 1.98V 以内，其余电源域无下电时序要求。

## 3.4.2 S3 场景时序控制

### 3.4.2.1 S4/S5→S0

当主机从 S4 或 S5 进入到 S0 状态，即正常开机时，请参考图 3-3 飞腾派上电时序示意图，依次完成上电、复位等操作，即可进入 S0 状态。各电源域上电及复位间隔时间推荐 20ms。

### 3.4.2.2 S0→S4/S5

当主机从 S0 进入到 S4 或 S5 状态，即正常关机时，CPU 会通过 PWR_CTRO&1 向 CPLD 发送关机指令(特定方式的 12 个脉冲)或者通过 LPC 向 EC 发布信息，当 CPLD 或 EC 收到信息后，只需参考图 3-3，按先上后下的原则依次完成掉电、拉低复位信号等操作，即可进入 S4 或 S5 状态。

### 3.4.2.3 S0→S3

如图 3-4 为 S3 场景一 S0→S3 休眠时序图，时序控制请参考表 3-5。对于无飞腾派 USB 接口唤醒需求的 S3 场景二参考 S3 场景时序一将同电源域一同下电即可。


版权所有 © 飞腾信息技术有限公司

1. CPLD 处理方式

当主机从 S0 进入到 S3 状态，即 STR 时，CPU 会通过 PWR_CTR0&1 向 CPLD 发送指令（特定方式的 8 个脉冲）。当 CPLD 收到指令后，只需要保持 DDR/USB/RGMII_PHY 相关电源并按以下时序依次完成掉电、拉低复位信号等操作，即可进入 S3 状态。

2. EC 处理方式

当 EC 收到信息，只需要保持 DDR/USB/RGMII_PHY 相关电源并按以下时序依次完成掉电、拉低复位信号等操作，即可进入 S3 状态。

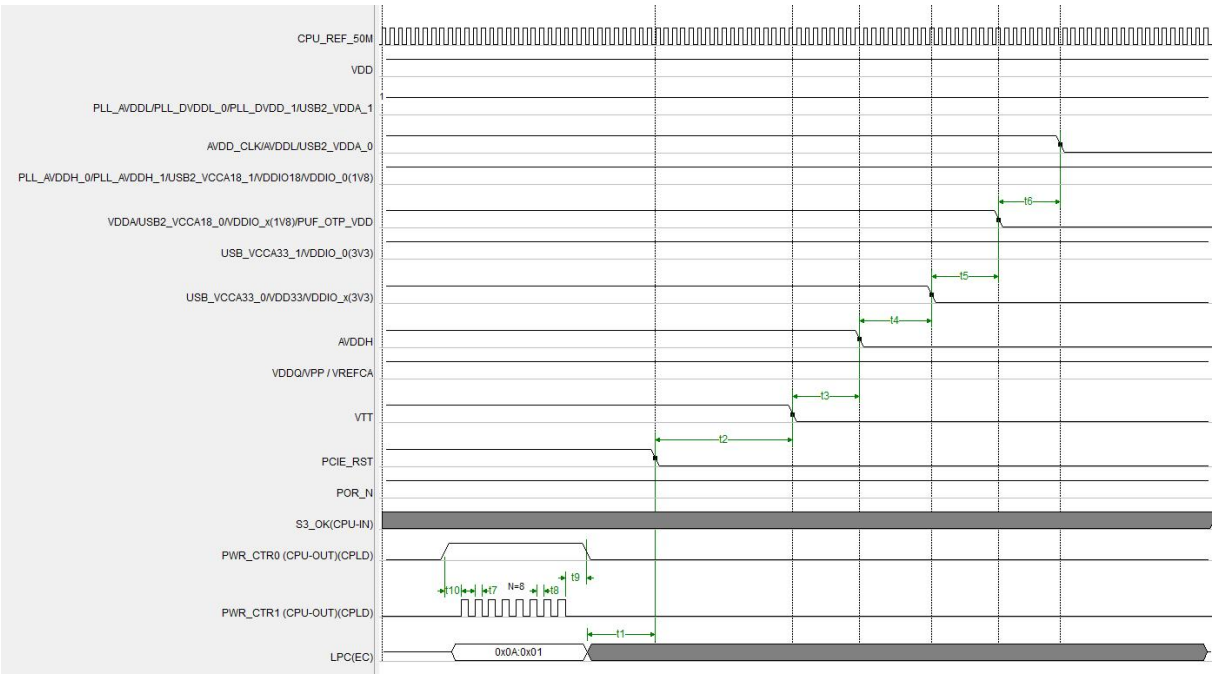


图 3-4　S3 场景一 S0→S3 休眠时序图

表 3-5　S3 场景一 S0→S3 休眠下电时序控制表

| 序号 | T-wait | 最小值 | 典型值 | 最大值 | 单位 | 备注 |
|---|---|---|---|---|---|---|
| 1 | t1 | 5 | 20 | - | ms | |
| 2 | t2 | 100 | 150 | - | ms | |
| 3 | t3 | 5 | 20 | - | ms | |
| 4 | t4 | 5 | 20 | - | ms | |
| 5 | t5 | 5 | 20 | - | ms | |
| 6 | t6 | 5 | 20 | - | ms | |
| 7 | t7 | / | 1 | / | ms | PWR_CTR1 脉冲宽度 |
| 8 | t8 | / | 1 | / | ms | PWR_CTR1 脉冲间隔时间 |
| 9 | t9 | / | 2 | / | ms | |
| 10 | t10 | / | 2 | / | ms | |


版权所有 © 飞腾信息技术有限公司

### 3.4.2.4 S3→S0

如图 3-5，时序控制请参考表 3-6。对于无飞腾派 USB 接口唤醒需求的 S3 场景二参考 S3 场景一时序将同电源域一同上电即可。

1. CPLD 处理方式

当主机从 S3 恢复到 S0 状态时，主板的 CPLD 控制单位会通过 GPIO 向 CPU 发送主板当前的是否满足 S3→S0 状态的 S3_OK 信号。S3_OK 信号为高电平时候，表示可以正常恢复到 S0。S3_OK 信号为低时，通知 CPU 主板出现异常状态（内存掉电等情况），系统将重新启动，而不是从 S3 恢复。

2. EC 处理方式

当主机从 S3 恢复到 S0 状态时，EC 提前将指示是否正常唤醒的标志写入 EC-RAM 中地址为 0x0B 的空间（以下简称 EC-0B），详细操作参考《飞腾平台 EC 接口规范》相关描述。EC-0B 为 0x55 或 0xAA 时，表示可以正常恢复到 S0。EC-0B 为其他值时，通知 CPU 主板出现异常状态（内存掉电等情况），系统将重新启动，而不是从 S3 恢复。

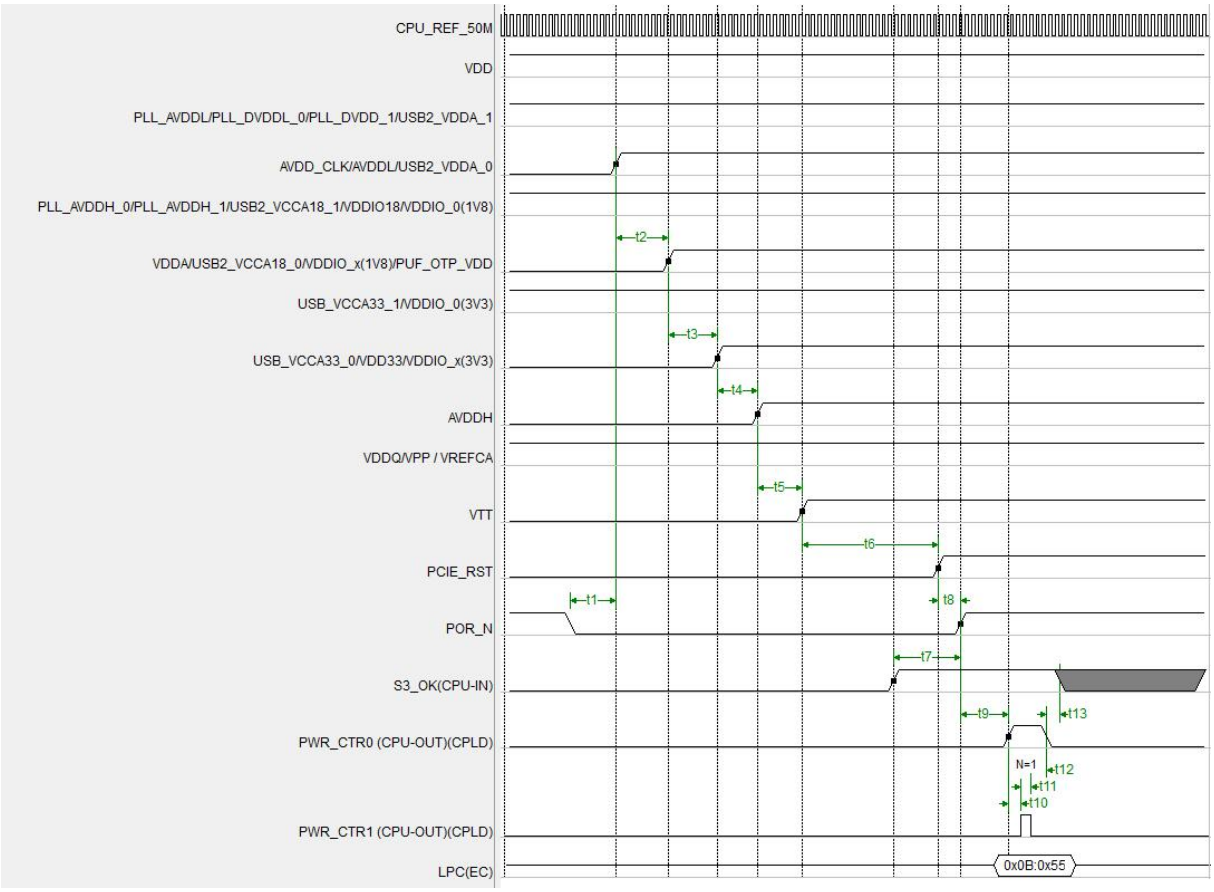


图 3-5　S3 场景一 S3→S0 唤醒时序图

表 3-6　S3 场景一 S3→S0 唤醒上电时序控制表


版权所有 © 飞腾信息技术有限公司

| 序号 | T-wait | 最小值 | 典型值 | 最大值 | 单位 | 备注 |
|---|---|---|---|---|---|---|
| 1 | t1 | 10 | 20 | - | ms | |
| 2 | t2 | 10 | 20 | - | ms | |
| 3 | t3 | 10 | 20 | - | ms | |
| 4 | t4 | 10 | 20 | - | ms | |
| 5 | t5 | 10 | 20 | | | |
| 6 | t6 | 120 | 150 | - | ms | |
| 7 | t7 | 0 | - | - | ms | |
| 8 | t8 | 10 | 20 | - | ms | |
| 9 | t9 | / | / | / | ms | 该时间非可控，拉高 POR 之后需要持续监测 PWR_CTRO/1 |
| 10 | t10 | / | 2 | / | ms | |
| 11 | t11 | / | 1 | / | ms | |
| 12 | t12 | / | 2 | / | ms | |
| 13 | t13 | 0 | - | - | ms | POR 拉高之前拉高 S3_OK 信号 |

## 3.5 IO 供电说明

飞腾派 IO 共分为六组 BANK，除 BANK5 IO 电平固定 1.8V，其余五组 BANK BANK0~BANK4 均支持 1.8V 或者 3.3V 电平可选，用户可根据实际应用选择 BANK 的工作电平。BANK0~BANK4 有对应的电平控制信号 SMCORE_x，具体对应关系见下表，其中 1 表示 SMCORE_x 接飞腾派核心电压 VDD，0 表示 SMCORE_x 接地。VDDIO18 为各 BANK IO 保持电源及 BANK5 IO 电源，需要保持常供电状态。VDDIO_x 接 3.3V 电源前，SMCORE 必须接地，上下电过程中须保证 VDDIO_x(3.3V)和 VDDIO18 的电压压差在 1.98V 以内，否则有可靠性问题。

表 3-7 SMCORE_x 与 GPIO 电源 VDDIO_x 的对应关系

| SMCORE_x | VDDIO_x |
|---|---|
| 0 | 3.3V |
| 1 | 1.8V |

## 3.6 推荐电容配置

为了减少飞腾派电源域的波动，满足芯片电源完整性要求，需要在芯片板级的背面放置一定数量的去耦电容，各电源域推荐的电容配置详见表 3-8。考虑芯片工作的环境温度可能较高，建议根据实际应用选择电容的温度规格。

表 3-8 飞腾派各个电源域推荐的电容配置


版权所有 © 飞腾信息技术有限公司

| 飞腾派电源域 | 电容描述 | 数量 | 备注 |
|---|---|---|---|
| VDD | 22uF/16V/X5R/0603 | 1 | 22uF 电容放置位置详见参考板 PCB 布局 4.7uF 和 1uF 电容建议交错放置。 |
| | 4.7uF/6.3V/X5R/0402 | 20 | |
| | 1uF/16V/X5R/0402 | 16 | |
| VDDQ<br>VDDQ_CK | 4.7uF/6.3V/X5R/0402 | 4 | 4.7uF 和 1uF 电容建议交错放置 |
| | 1uF/16V/X5R/0402 | 3 | |
| AVDDH | 4.7uF/6.3V/X5R/0402 | 1 | |
| | 1uF/16V/X5R/0402 | 2 | |
| AVDDL | 4.7uF/6.3V/X5R/0402 | 2 | 4.7uF 和 1uF 电容建议交错放置 |
| | 1uF/16V/X5R/0402 | 2 | |
| AVDD_CLK | 4.7uF/6.3V/X5R/0402 | 2 | 4.7uF 和 1uF 电容建议交错放置 |
| | 1uF/16V/X5R/0402 | 2 | |
| USB2_VDDA_0 | 1uF/16V/X5R/0402 | 1 | |
| USB2_VDDA_1 | 1uF/16V/X5R/0402 | 1 | |
| USB2_VCCA18_0 | 1uF/16V/X5R/0402 | 1 | |
| USB2_VCCA18_1 | 1uF/16V/X5R/0402 | 1 | |
| USB2_VCCA33_0 | 1uF/16V/X5R/0402 | 1 | |
| USB2_VCCA33_1 | 1uF/16V/X5R/0402 | 1 | |
| PLL_DVDDL_0 | 1uF/16V/X5R/0402 | 1 | |
| PLL_DVDDL_1 | 1uF/16V/X5R/0402 | 1 | |
| PLL_AVDDL | 1uF/16V/X5R/0402 | 1 | |
| PLL_AVDDH_0 | 1uF/16V/X5R/0402 | 1 | |
| PLL_AVDDH_1 | 1uF/16V/X5R/0402 | 1 | |
| VDDIO_0 | 4.7uF/6.3V/X5R/0402 | 1 | |
| | 1uF/16V/X5R/0402 | 1 | |
| VDDIO_1 | 4.7uF/6.3V/X5R/0402 | 1 | |
| | 1uF/16V/X5R/0402 | 1 | |
| VDDIO_2 | 4.7uF/6.3V/X5R/0402 | 1 | |
| | 1uF/16V/X5R/0402 | 1 | |
| VDDIO_3 | 1uF/6.3V/X5R/0402 | 1 | |
| VDDIO_4 | 4.7uF/6.3V/X5R/0402 | 1 | |
| | 1uF/6.3V/X5R/0402 | 1 | |
| VDDIO18 | 4.7uF/6.3V/X5R/0402 | 1 | |
| | 1uF/16V/X5R/0402 | 1 | |
| VDDA | 1uF/16V/X5R/0402 | 1 | |
| VDD33 | 1uF/16V/X5R/0402 | 1 | |
| EFUSE_VQPS | 1uF/16V/X5R/0402 | 1 | 根据功能实际是否使用确定电容放置与否 |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| PUF_OTP_VDD | 1uF/16V/X5R/0402 | 1 | |

飞腾派的去耦电容位于芯片的背面，为了减少路径上的寄生电感，建议电容靠近引脚放置，如图 3-6 所示。

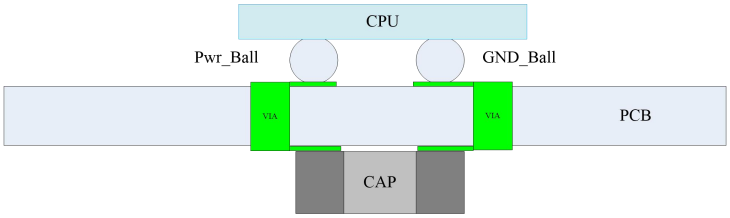


图 3-6 飞腾派去耦电容放置示意图


版权所有 © 飞腾信息技术有限公司

# 4 时钟管理

## 4.1 时钟频率配置

clk_cluster0、clk_cluster1 和 clk_noc 支持双 PLL 切换的动态调频和基于 CG 的动态调频（基于 CG 的动态调频得到的时钟不是 50%占空比），时钟频率配置如表 4-1。

表 4-1 频率配置范围

| 名称 | 时钟频率范围 |
|---|---|
| FTC663 内核时钟 | 50MHz-1.8GHz |
| FTC310 内核时钟 | 50MHz-1.5GHz |
| FTC663 核 L2 Cache 时钟 | 50MHz-1.8GHz |
| FTC310 核 L2 Cache 时钟 | 50MHz-1.5GHz |
| 内部网络主时钟 | 1.2GHz |
| DDR 控制器时钟 | 600MHz |
| PCIe 主时钟 | 300MHz |
| RGMII 接口时钟 | 250MHz |
| USB2.0 主时钟 | 100MHz |
| SATA 主时钟 | 150MHz |


版权所有 © 飞腾信息技术有限公司

## 4.2 LSD 时钟说明

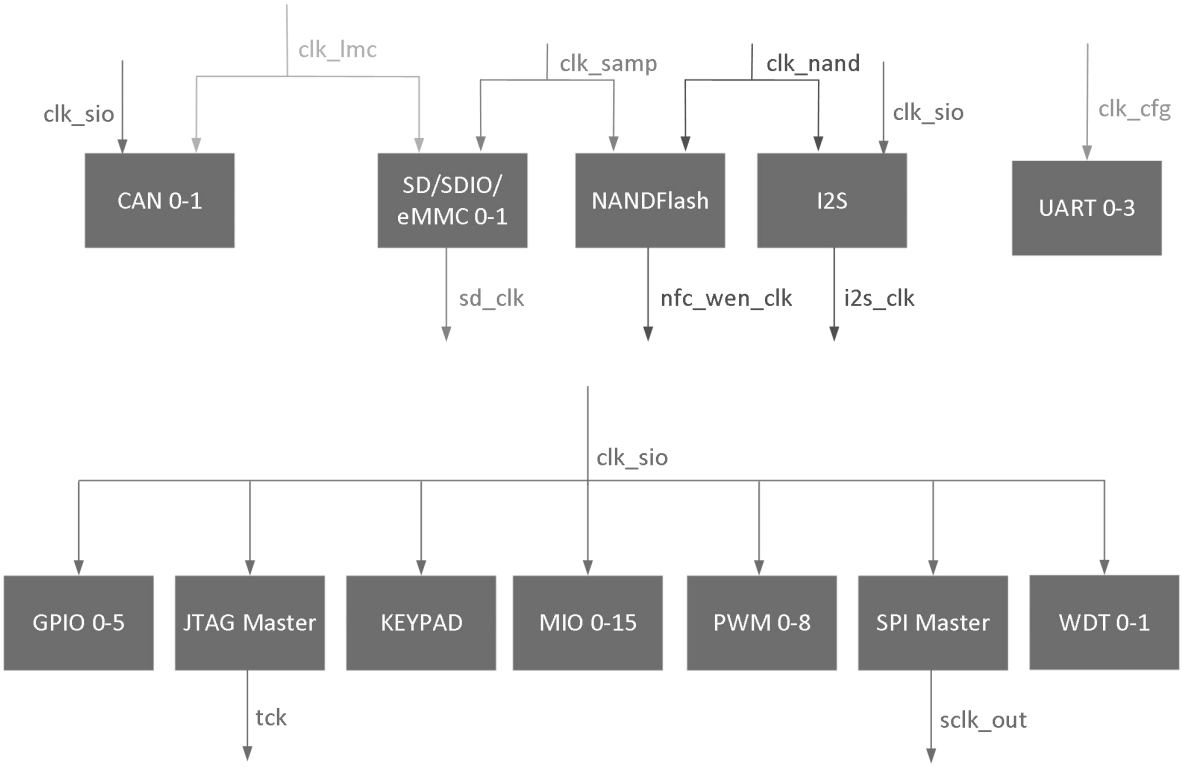


图 4-1 LSD 时钟结构图

表 4-2 LSD 时钟说明

| 控制器 | 主时钟 | 频率 | 说明 |
|---|---|---|---|
| UART | clk_cfg | 100MHz | 分频配置参考《飞腾腾珑 E2000 系列处理器软件编程手册》UART 控制器初始化配置章节 |
| CAN | clk_lmc | 200MHz | 传输速率配置寄存器为 CAN_ARB_RATE_CTRL/CAN_DAT_RATE_CTRL |
| LocalBus | clk_lmc | 200MHz | 输出时钟由该时钟分频得到，分频配置寄存器为 LBC_CCR |
| SD/SDIO/eMMC | clk_lmc | 200MHz | clk_lmc(200MHz)是总线时钟，输出给设备的时钟信号由 clk_samp(1.2GHz)分频得到，分频配置参考《飞腾腾珑 E2000 系列处理器软件编程手册》SD/SDIO/eMMC 控制器时钟配置 |
| | clk_samp | 1.2GHz | |
| NANDFlash | clk_nand | 600MHz | clk_samp(1.2GHz)为同步模式输入数据的采样时钟，输出给设备的时钟信号由 clk_lsd(600MHz)分频得到，异步模式下由于没有时钟，频率由异步时序参数决定，各参数调节寄存器为 Nf_timing0-5reg，Nf_timing13-18reg；同步模式下，对应的频率配置寄存器为 Nf_timing7-8reg，其中 tCK 参数表示时钟频率 |
| | clk_samp | 1.2GHz | |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| I2S | clk_nand | 600MHz | 输出给设备的时钟信号由 clk_nand(600MHz)分频得到。通过配置 FDP(0xc00)，EDP(0xc04)寄存器实现 MCLK 和 SCLK 的分频，分频配置参考《飞腾腾珑 E2000 系列处理器软件编程手册》I2S 寄存器说明中的相关描述 |
| | clk_sio | 50MHz | |
| GPIO | clk_sio | 50MHz | |
| JTAG Master | clk_sio | 50MHz | 输出时钟由该时钟分频得到，分频配置参考《飞腾腾珑 E2000 系列处理器软件编程手册》JTAG Master 控制器时钟控制章节 |
| KEYPAD | clk_sio | 50MHz | |
| MIO | clk_sio | 50MHz | UART/I2C 模式下主时钟都为该频率，分频配置参考《飞腾腾珑 E2000 系列处理器软件编程手册》UART 控制器初始化配置、I2C/SMBUS/PMBUS 接口频率调整 |
| PWM | clk_sio | 50MHz | |
| SPI Master | clk_sio | 50MHz | 输出给设备的时钟信号由该时钟分频得到，通过配置 BAUDR(0x14)寄存器实现时钟分频，具体分频配置参考《飞腾腾珑 E2000 系列处理器软件编程手册》SPI 控制器操作说明中的波特率配置 |
| WDT | clk_sio | 50MHz | |

# 4.3 时钟需求

表 4-3 主时钟要求

| 时钟 | 频率 | 占空比 | 频差 | RMS jitter | Tr 或上升沿斜率 | Tf 或下降沿斜率 |
|---|---|---|---|---|---|---|
| clk_ref | 50MHz | 45%~55% | <=50ppm | <=1.8ps | 0.6~4.0V/ns (10%~90%) | 0.6~4.0V/ns (10%~90%) |

表 4-4 SerDes 参考时钟要求

| 时钟 | 频率 | 占空比 | 频差 | RMS jitter | 差分输入高电压 VIH | 差分输入低电压 VIL | Tr 或上升沿斜率 | Tf 或下降沿斜率 |
|---|---|---|---|---|---|---|---|---|
| PCIE_REFCLK_P/N SGMII_REFCLKP/N | 100M | 40%~60% | ±300ppm | ≤1ps | ≥150mV | ≤-150mV | 0.6~4.0V /ns | 0.6~4.0V /ns |

表 4-5 USXGMII 参考时钟要求

| 时钟 | 频率 | 占空比 | 频差 | RMS jitter | 差分输入高电压 VIH | 差分输入低电压 VIL | Tr 或上升沿斜率 | Tf 或下降沿斜率 |
|---|---|---|---|---|---|---|---|---|
| USXGMII_REFCLK_P/N | 156.25M | 40%~60% | ±100ppm | ≤0.8ps | ≥150mV | ≤-150mV | 0.6~4.0V /ns | 0.6~4.0V /ns |


版权所有 © 飞腾信息技术有限公司

# 5 电气特性

## 5.1 绝对最大额定值

表 5-1 绝对最大额定值

| 参数 | 符号 | 极限电压范围 |
|---|---|---|
| 核心电源 | VDD | -0.3-1.2V |
| DDR4 接口电源 | VDDQ<br>VDDQ_CK | -0.3-1.44V |
| Serdes 模拟高压电源 | AVDDH | -0.3-1.44V |
| Serdes 模拟低压电源 | AVDDL | -0.3-0.96V |
| Serdes 高速时钟电源 | AVDD_CLK | -0.3-0.96V |
| USB2 电源 | USB2_VDDA_0<br>USB2_VDDA_1 | -0.3-1.04V |
| USB2 电源 | USB2_VCCA18_0<br>USB2_VCCA18_1 | -0.3-2.16V |
| USB2 电源 | USB2_VCCA33_0<br>USB2_VCCA33_1 | -0.3-3.96V |
| PLL 数字电源 | PLL_DVDDL_0<br>PLL_DVDDL_1 | -0.3-1.04V |
| PLL 模拟低压电源 | PLL_AVDDL | -0.3-1.04V |
| PLL 模拟高压电源 | PLL_AVDDH_0<br>PLL_AVDDH_1 | -0.3-2.16V |
| 1.8V IO 电源 | VDDIO_x<br>VDDIO18 | -0.3-1.98V |
| 3.3V IO 电源 | VDDIO_x | -0.3-3.63V |


版权所有 © 飞腾信息技术有限公司

| | | |
|---|---|---|
| 温度传感器电源 | VDDA | -0.3-2.16V |

说明

注：参数值是通过在该器件上进行实验以及故障和损坏机制的理论建模获得，表中所列范围以外的条件可能会导致器件永久性损坏。此外，若延长器件以最大绝对定额值运行的时间周期，则可能对器件产生不良影响。

## 5.2 ESD 特性

表 5-2 ESD 绝对最大额定值

| 符号 | 参数 | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| $V_{ESD(HBM)}$ | 静电放电电压（人体模式） | -- | 1000 | V |
| $V_{ESD(CDM)}$ | 静电放电电压（充电设备模式） | -- | 300 | V |

表 5-3 电气敏感性

| 符号 | 参数 | 条件 | 分类 |
|---|---|---|---|
| LU | 静态闩锁 | Ta=25℃、85℃，$Tj_{max}$=85℃，符合 JESD78E-2016 标准 | A 类 |

## 5.3 通用引脚 DC 电气特性

除 DDR、PCIe、SATA、USB3.0、SGMII 等 SerDes 专用信号引脚外，其他信号引脚均为 CMOS 结构的通用引脚，其电气特性如表 5-4、表 5-5 所示，主要包括输入敏感电压，输出驱动电压等信息。

表 5-4 通用 pad 引脚电气特性(1.8V)

| 符号 | 符号描述 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{DDIO}$ [1] | I/O 电压 | 1.71 | 1.8 | 1.89 | V |
| $V_{DDIO18}$ | IO 保持电压及 BANK5 供电电压 | 1.71 | 1.8 | 1.89 | V |
| $V_{IH}$ | 高电平输入电压 | 0.65*$V_{DDIO}$ | - | $V_{DDIO}$+0.3 | V |
| $V_{IL}$ | 低电平输入电压 | -0.3 | - | 0.35*$V_{DDIO}$ | V |
| $V_{T+}$ | 施密特低到高翻转点 | 0.895 | 0.999 | 1.103 | V |
| $V_{T-}$ | 施密特高到低翻转点 | 0.715 | 0.804 | 0.890 | V |
| $V_{OH}$ | 高电平输出电压 | $V_{DDIO}$-0.45 | - | - | V |
| $V_{OL}$ | 低电平输出电压 | | - | 0.45 | V |
| $I_L$ | 输入漏电电流 | - | - | ±10 | μA |
| $I_{OZ}$ | 输出 Z 态漏电流 | - | - | ±10 | μA |


版权所有 © 飞腾信息技术有限公司

| | | | | | |
|---|---|---|---|---|---|
| $I_{OL}$ | 低电平输入电流 | 2.233 | - | 26 | mA |
| $I_{OH}$ | 高电平输出电流 | 2.412 | - | 26 | mA |
| $R_{PU}$ | 上拉电阻 | 21 | 28 | 35 | KΩ |
| $R_{PD}$ | 下拉电阻 | 22 | 29 | 36 | KΩ |

说明

注[1]：$V_{DDIO}$对应各 BANK 供电电源 $V_{DDIO_X}$。

表 5-5 通用 pad 引脚电气特性(3.3V)

| 符号 | 符号描述 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{DDIO}$[1] | I/O 电压 | 3.135 | 3.3 | 3.465 | V |
| $V_{DDIO18}$ | IO 保持电压及 BANK5 供电电压 | 1.71 | 1.8 | 1.89 | V |
| $V_{IH}$ | 高电平输入电压 | 2 | -- | $V_{DDIO}$+0.3 | V |
| $V_{IL}$ | 低电平输入电压 | -0.3 | -- | 0.8 | V |
| $V_{T+}$ | 施密特低到高翻转点 | 1.218 | 1.403 | 1.606 | V |
| $V_{T-}$ | 施密特高到低翻转点 | 0.957 | 1.150 | 1.366 | V |
| $V_{OH}$ | 高电平输出电压 | 2.4 | -- | - | V |
| $V_{OL}$ | 低电平输出电压 | | -- | 0.4 | V |
| $I_L$ | 输入漏电电流 | -- | -- | ±10 | μA |
| $I_{OZ}$ | 输出 Z 态漏电流 | -- | -- | ±10 | μA |
| $I_{OL}$ | 低电平输入电流 | 2.209 | -- | 22 | mA |
| $I_{OH}$ | 高电平输出电流 | 2.368 | -- | 24 | mA |
| $R_{PU}$ | 上拉电阻 | 23 | 31 | 40 | KΩ |
| $R_{PD}$ | 下拉电阻 | 22 | 29 | 36 | KΩ |

说明

注[1]：$V_{DDIO}$对应各 BANK 供电电源 $V_{DDIO_X}$。

# 5.4 通用引脚 AC 特性

表 5-6 通用 Pad 交流参数(1.8 V)

| 参数 | 描述 | 典型 | 最大 | 单位 | 测试条件 |
|---|---|---|---|---|---|
| PAD 输出输转换时间(上升/下降) | $T_r/T_f$ | 3 | - | ns | $C_L$=22pF ； $T_c$=25℃ Vdd=1.8 |


版权所有 © 飞腾信息技术有限公司

表 5-7 通用 Pad 交流参数(3.3V)

| 参数 | 描述 | 典型 | 最大 | 单位 | 测试条件 |
|---|---|---|---|---|---|
| PAD 输出输转换时间(上升/下降) | $T_r/T_f$ | 3 | - | ns | $C_L$=22pF ； $T_c$=25℃<br>Vdd=3.3 |

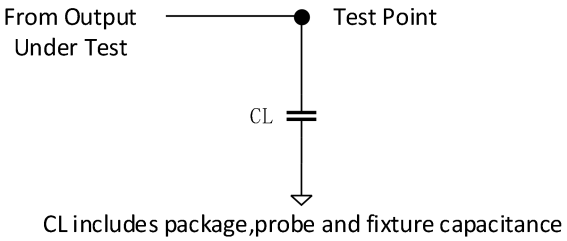


图 5-1 PAD 输出负载电路

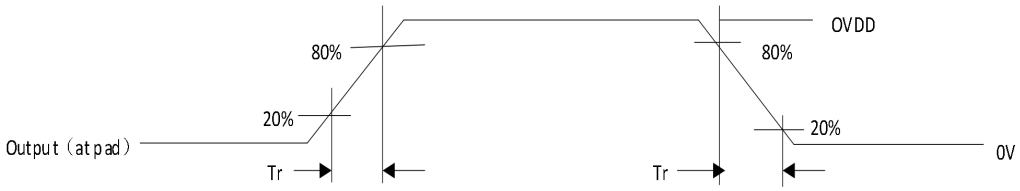


图 5-2 PAD 输出波形

# 5.5 SerDes 电气特性

## 5.5.1 外部参考时钟电平规范

表 5-8 外部参考时钟电平规范

| 名称 | 最小 | 典型 | 最大 | 单位 | 描述 |
|---|---|---|---|---|---|
| $Z_{REFCLK}$ | 90 | 100 | 110 | Ω | 参考时钟差分阻抗 |
| $I_{INEXT}$ | 6 | | 16 | mA | 输入信号电流 |

## 5.5.2 发送模块电气特性

表 5-9 发送模块电气特性

| 名称 | 最小 | 典型 | 最大 | 单位 | 描述 |
|---|---|---|---|---|---|
| $V_{TX_out_normal_mode}$ | 0.8 | | 1.2 | V | 正常模式下的输出电压峰峰值 |
| $V_{TX_out_low_power_mode}$ | 0.4 | | | V | 低功耗模式下的输出电压峰峰值 |
| $Z_{TX_cal}$ | 80 | 100 | 120 | Ω | 正常模式时，校准后的差分驱动阻抗 |


版权所有 © 飞腾信息技术有限公司

### 5.5.3 接收模块电气特性

表 5-10 接收模块电气特性

| 名称 | 最小 | 典型 | 最大 | 单位 | 描述 |
|---|---|---|---|---|---|
| $Z_{RX_cal}$ | 40 | 50 | 60 | Ω | 正常模式下，校准后的接收端差分阻抗 |

### 5.5.4 公共模块电气特性

表 5-11 公共模块电气特性

| 名称 | 最小 | 典型 | 最大 | 单位 | 描述 |
|---|---|---|---|---|---|
| $F_{REFEXT_PCIe_SSC}$ | 99.97 | 100 | 100.03 | MHz | 扩频时钟模式下，PCIe 参考时钟频率 |

## 5.6 SATA 引脚电气特性

电气特性符合 SATA3.0 协议规范，详细可参考规范文档。

表 5-12 SATA TX/RX 信号组 DC 电气特性

| 符号 | 说明 | 最小 | 最大 | 单位 |
|---|---|---|---|---|
| $V_{IMIN_Gen1i}$ | 1.5Gb/s 速率最小输入电压值 | 325 | | mVppd |
| $V_{IMAX_Gen1i}$ | 1.5Gb/s 速率最大输入电压值 | | 600 | mVppd |
| $V_{IMIN_Gen2i}$ | 3.0Gb/s 速率最小输入电压值 | 275 | | mVppd |
| $V_{IMAX_Gen2i}$ | 3.0Gb/s 速率最大输入电压值 | | 750 | mVppd |
| $V_{IMIN_Gen3i}$ | 6.0Gb/s 速率最小输入电压值 | 240 | | mVppd |
| $V_{IMAX_Gen3i}$ | 6.0Gb/s 速率最大输入电压值 | | 1000 | mVppd |
| $V_{OMIN_Gen1i}$ | 1.5Gb/s 速率最小输出电压值 | 400 | | mVppd |
| $V_{OMAX_Gen1i}$ | 1.5Gb/s 速率最大输出电压值 | | 600 | mVppd |
| $V_{OMIN_Gen2i}$ | 3.0Gb/s 速率最小输出电压值 | 400 | | mVppd |
| $V_{OMAX_Gen2i}$ | 3.0Gb/s 速率最大输出电压值 | | 700 | mVppd |
| $V_{OMIN_Gen3i}$ | 6.0Gb/s 速率最小输出电压值 | 240 | | mVppd |
| $V_{OMAX_Gen3i}$ | 6.0Gb/s 速率最大输出电压值 | | 900 | mVppd |

## 5.7 USB2.0 引脚电气特性

表 5-13 USB2.0 接口电气特性

| 符号 | 说明 | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| VIH | 低速/全速输入电平高 | 2.6 | 3.6 | V |
| VIL | 低速/全速输入电平低 | -- | 0.8 | V |


版权所有 © 飞腾信息技术有限公司

| | | | | |
|---|---|---|---|---|
| VOL | 低速/全速输出电平高 | 0 | 0.3 | V |
| VOH | 低速/全速输出电平高 | 3 | 3.6 | V |

## 5.8 USB3.0 引脚电气特性

表 5-14 USB3.0 接口电气特性

| 符号 | 说明 | 最小值 | 经典值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{DIFF}$ | $T_{xp}$（接收器的 $R_{xp}$）上的电压相对于 $T_{xn}$（接收器的 $R_{xn}$）的电压，即差分电压 $V_{DIFF}=T_{xp}-T_{xn}$ | -0.4 | | 0.4 | V |
| $V_{DIFF-PP}$ | 差分电压摆幅，即差分电压峰峰值 $V_{DIFF-PP}=2*V_{DIFF}$ | 0.8 | | 1.2 | V |
| $V_{CM}$ | 共模电压 $V_{CM}=(T_{xp}+T_{xn})/2$，同一差分对上相对于地的平均电压 | 0 | | 2.2 | V |
| $V_{TX_out_normal_mode}$ | 正常模式下的输出电压峰峰值 | 0.8 | | 1.2 | V |
| $V_{TX_out_low_power_mode}$ | 低功耗模式下的输出电压峰峰值 | 0.4 | | 1.2 | V |
| $Z_{TX_cal}$ | 正常模式时，校准后的差分驱动阻抗 | 80 | 100 | 120 | Ω |
| $Z_{TX_PD}$ | 设置输出为高阻时的阻抗 | 9K | | | Ω |
| $T_{TRANSITION}$ | 20%-80%转换时间 | 25 | | 40 | ps |
| $Z_{RX_cal}$ | 正常模式下，校准后的接收端阻抗（单端） | 40 | 50 | 60 | Ω |
| $Z_{RX_PD_POS}$ | 复位或关电期间，直流共模输入阻抗 | 10K(0~200mV)<br>20K(>200mV) | | | Ω<br>Ω |
| $Z_{RX_PD_NEG}$ | 复位或关电期间，直流共模输入阻抗 | 1K(<0V) | | | Ω |
| $+F_{REFEXT_SSC}$ | 扩频时钟模式下，参考时钟频率 | 99.97 | 100 | 100.03 | MHz |


版权所有 © 飞腾信息技术有限公司

# 6 通用 PCB 设计指导

## 6.1 阻抗要求

高速信号布线必须严格满足阻抗要求，以保证信号质量能满足设计要求。BGA 区域的扇出走线和外设芯片或连接器引脚的走线，可根据空间适当放宽要求。

如下列举 DDR 单端 45Ω和差分 75Ω信号的阻抗要求，以供参考。

### 6.1.1 单端微带线

图 6-1 单端微带线

表 6-1 单端微带线

| 微带线 | 介电常数 Dk | 介质厚度 H/mils | 走线宽度 W/mils | 走线厚度 T/oz | 走线间距 S/mils | 单端阻抗 Ω |
|---|---|---|---|---|---|---|
| 单端线 | 3.7 | 3.0 | 5.8 | 0.3+plating | 17.4 | 45 |

### 6.1.2 差分微带线

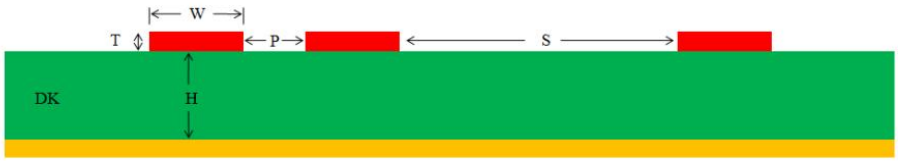


图 6-2 差分微带线


版权所有 © 飞腾信息技术有限公司

表 6-2 差分微带线

| 微带线 | 介电常数 Dk | 介质厚度 H/mils | 走线宽度 W/mils | 差分线间距 P/mils | 走线厚度 T/oz | 走线间距 S/mils | 差分阻抗 Ω |
|---|---|---|---|---|---|---|---|
| 差分线 | 3.7 | 3.0 | 6 | 5 | 0.3+plating | 18 | 75 |

## 6.1.3 单端带状线

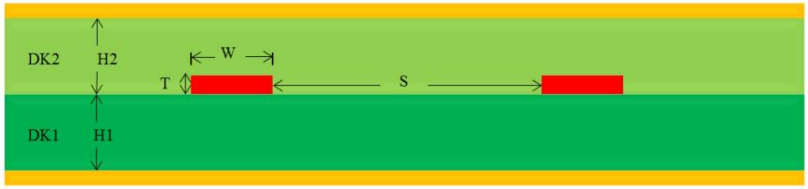


图 6-3 单端带状线

表 6-3 单端带状线

| 带状线 | 介电常数 Dk1 | 介质厚度 H1/mils | 介电常数 Dk2 | 介质厚度 H2/mils | 走线宽度 W/mils | 走线厚度 T/oz | 走线间距 S/mils | 单端阻抗 Ω |
|---|---|---|---|---|---|---|---|---|
| 差分线 | 3.7 | 5.12 | 3.8 | 5.52 | 5 | 1.0 | 15 | 45 |

## 6.1.4 差分带状线

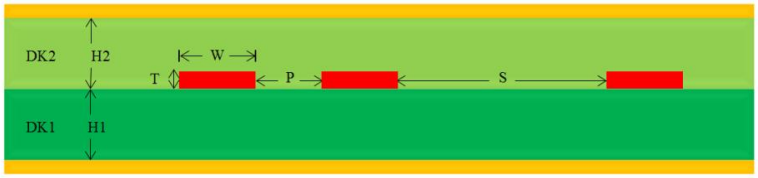


图 6-4 差分带状线

表 6-4 差分带状线

| 带状线 | 介电常数 Dk1 | 介质厚度 H1/mils | 介电常数 Dk2 | 介质厚度 H2/mils | 走线宽度 W/mils | 走线厚度 T/oz | 差分线间距 P/mils | 走线间距 S/mils | 差分阻抗 Ω |
|---|---|---|---|---|---|---|---|---|---|
| 差分线 | 3.7 | 5.12 | 3.8 | 5.52 | 5.5 | 1 | 4.5 | 16.5 | 75 |

说明

- 阻抗数值是根据叠层厚度、介电常数以及线宽进行计算得到，表格中数值仅供参考，建议按照实际叠层及线宽控制阻抗。
- 微带线由于表面覆盖绿油的原因，会导致实际阻抗较计算值小，且每个板厂的影响不同，建议联系相应板厂进行调整，该表中给出阻抗是已考虑绿油影响下的


版权所有 © 飞腾信息技术有限公司

阻抗。

- 信号线需保证完整的参考平面，且不可出现跨越参考平面的情况。
- 信号线打孔换层时，需保证换层后参考平面仍保持一致，如果不一致则需用回流孔将换层前后的参考平面连接起来。

## 6.2 布线区域划分

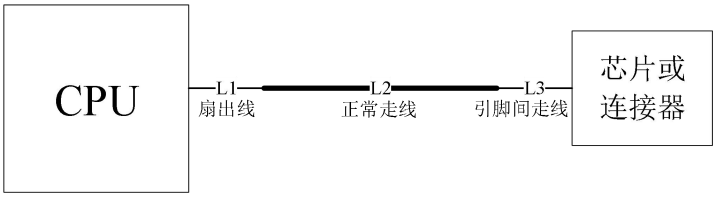


图 6-5 布线区域划分示意图

如图 6-5 所示，信号布线划分为三个区域：L1 BGA 扇出区域走线、L2 扇出线到其他模块间的整组走线、L3 连接器或 IC 管脚区域走线。不同区域布线约束要求不同。

L1 芯片扇出部分走线阻抗可不做严格控制，但是建议尽量缩短扇出线部分的走线长度。L1 扇出线的线宽和线间距不建议低于 4 mil 以满足板厂加工工艺要求，同时布线长度不建议超过 700mil，当空间允许时应立即切换到 L2 正常走线。

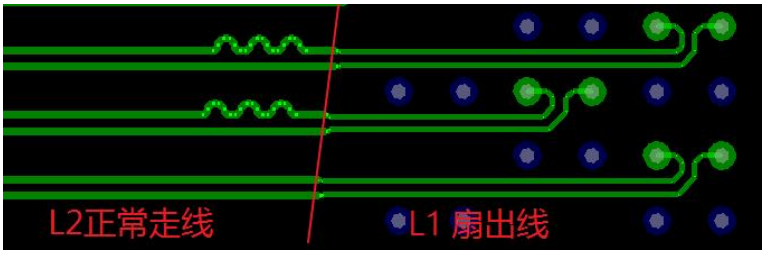


图 6-6 L1 芯片扇出线示意图

L2 正常走线为 L1 末端到其他模块间的整组走线，该走线首先需满足阻抗要求的线宽和线间距，同时保证与其他走线或铜皮保持不低于 5H 的间距(H 为走线距离最近参考平面的高度)，L2 走线在等长绕线时需保证走线自身间距不低于 5H。

L3 引脚间走线为 L2 末端到芯片或连接器间的走线，该走线根据布线情况可适当减小线宽线间距，以保证走线能够布通。

## 6.3 差分信号布线

对于高速信号差分走线，差分对 P 和 N 两条走线总长度之差不能超过 4mil。建议在芯片扇出时，对较短的走线进行一定的等长补偿，两种等长绕线的参考如下图所示。L1 和 L3 差分走线由于空间有限无法按阻抗要求线宽线距布线，可以忽略阻抗要求，采用


版权所有 © 飞腾信息技术有限公司

4mil 线宽和线间距布线，当空间满足时应立即按照阻抗要求布线。

L2 差分走线必须严格按照差分形式布线，禁止差分信号间放置过孔和焊盘，对于耦合电容应按照图所示尽量靠近并对齐摆放。

图 6-7 等长绕线参考示意图一

图 6-8 等长绕线参考示意图二

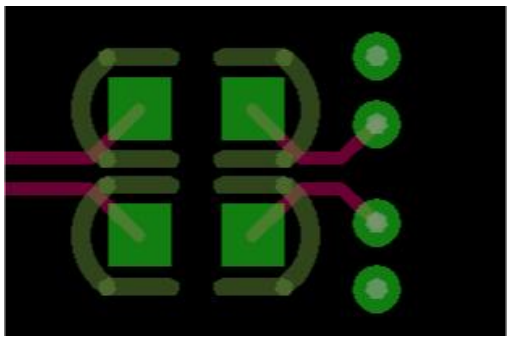

图 6-9 耦合电容摆放参考

## 6.4 信号回流孔

信号如果需要打孔换层，建议在换层孔附近添加回流孔，回流孔尽量靠近信号孔。如果使用过孔换层，需考虑过孔残桩，同时注意两信号过孔不要放置在平面分割处，如下图所示提供了两种回流孔参考设计，可根据布线需要进行选择。

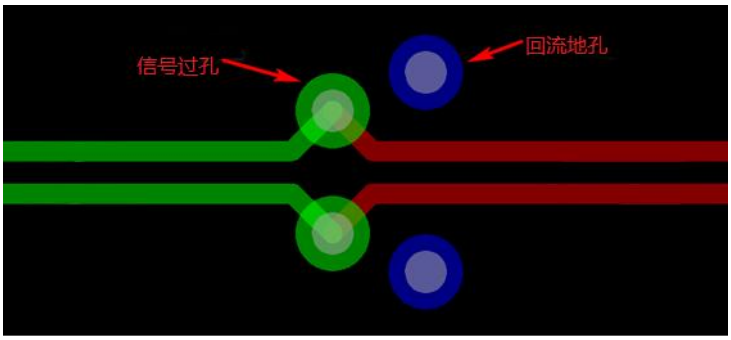


图 6-10 回流孔摆放参考一


版权所有 © 飞腾信息技术有限公司

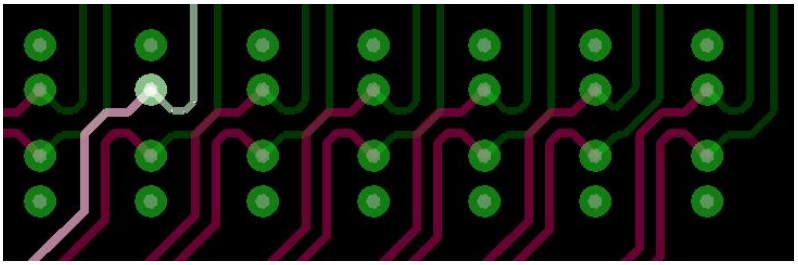

图 6-11　回流孔摆放参考二

## 6.5 参考平面设计

高速走线需保证参考平面完整，尽量保证没有跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。

信号走线与参考平面边缘需保持 5H 间距(H 为走线距最近参考平面的高度)。

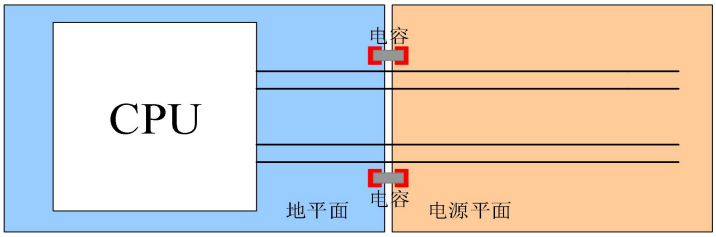


图 6-12　跨平面参考处理

## 6.6 高速信号残桩

由于残桩会引起信号反射，对于高速信号过长的残桩会带来严重的信号质量问题，因此在高速信号布线时需注意残桩的长度。信号残桩有两种类型，一种是信号换层时的过孔残桩，另一种是信号走线的残桩。

为减小过孔残桩改善信号质量，PCB 设计时可以将信号过孔和连接器通孔的内层无用焊盘去除，必要时还可以对高速信号过孔使用背钻或盲埋孔工艺。

如下图以八层板为例提供了四种换层过孔示意图，孔 A 当走线在 L1-L8 换层时无残桩；孔 B 当走线在 L1-L6 换层时残桩长度较小；孔 C 当走线在 L3-L6 换层时残桩长度稍大；孔 D 当走线在 L1-L3 换层时残桩长度最大，高速信号走线避免使用此类换层方式。


版权所有 © 飞腾信息技术有限公司

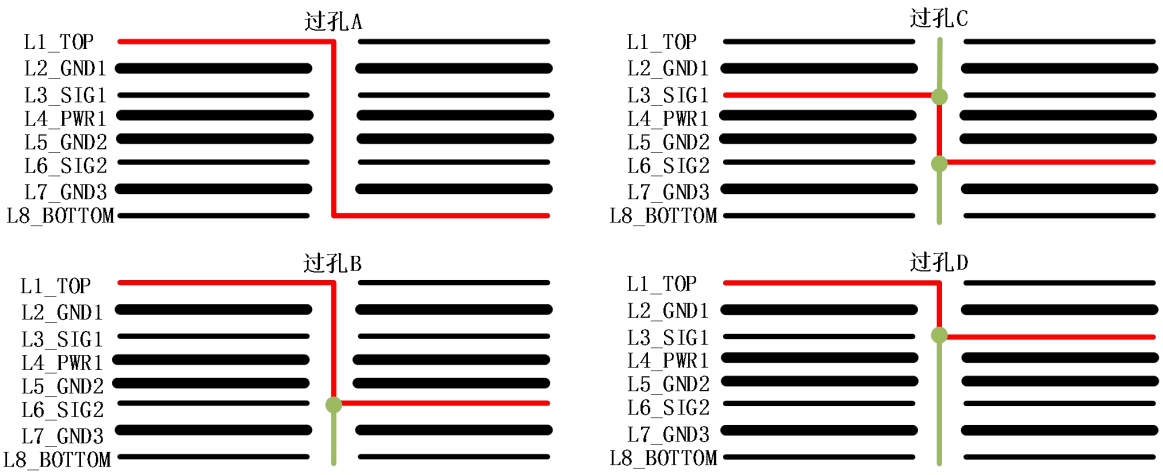


图 6-13　信号换层过孔残桩示意图

对于信号走线的残桩，首先在PCB设计时可以使用规则检查将无用的走线残桩去除，其次如下图所示，在高速差分信号上存在下拉电阻，此时若采用图 6-14 所示的布局布线方式会存在一截走线残桩，推荐使用图 6-15 的布局布线方式将走线的残桩最小化。

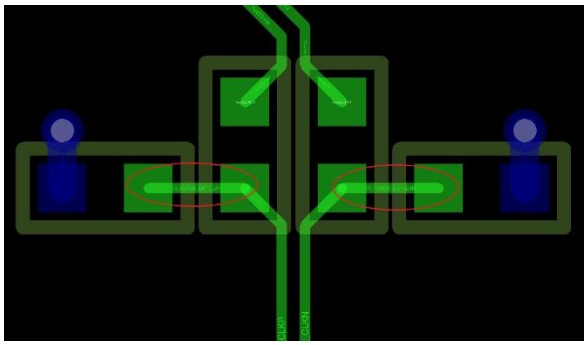

图 6-14　信号走线的残桩示意图一

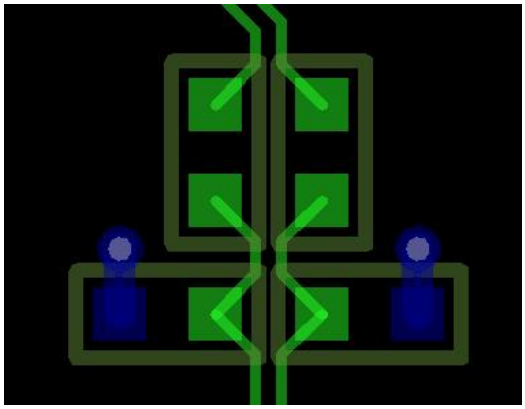

图 6-15　信号走线的残桩示意图二


版权所有 © 飞腾信息技术有限公司

## 6.7 信号串扰

由于信号速率越来越快和走线密度越来越高，串扰成为高速电路设计中最常见的问题，对于减小信号串扰有以下几点建议：

- 增大走线间距是减小信号串扰最有效手段；
- 可以通过以下措施来减小串扰如：减小平行走线长度、相邻层正交走线、优先使用带状线、对敏感信号包地处理等。

## 6.8 阻抗不连续

在高速电路设计中，阻抗不连续不仅会引起信号自身的反射，还会放大其他方面的影响。

PCB 设计中有以下几种常见的阻抗不连续情况：走线自身宽度的变化；串接在走线上的器件和过孔焊盘及过孔尺寸；介电常数变化引起的阻抗不连续；走线分支等；

走线自身宽度的变化引起的阻抗不连续，按照 6.2 章节，L1 和 L3 由于空间限制可能无法按阻抗要求布线，可以忽略阻抗要求，减小线宽和线间距布线，当空间满足时应立即按照阻抗要求布线。

串接在走线上的器件和过孔焊盘及过孔尺寸，走线上的焊盘会带来较大的阻抗降低，首先可以优化焊盘尺寸，其次可以对焊盘区域下的相邻层平面镂空处理，增大到参考平面的距离来适当补偿阻抗；对于过孔导致的阻抗变化，可以通过减小过孔焊盘和孔径，删除内层无用焊盘，同样也可以对焊盘下的相邻层平面镂空处理等方式来减小阻抗变化。

介电常数变化引起的阻抗不连续，该情况一般是发生在表底层走线上，微带线上方的丝印、标签纸、金属件等异物都会对走线阻抗带来影响，首先高速信号尽量采用带状线，若必须走微带线就要注意不要在高速信号走线上放置异物。

走线分支结构也会带来阻抗不连续，在分支点处阻抗会降低。在 PCB 设计时除了尽量减小分支走线长度，还可以适当增大分支走线的阻抗来补偿节点处的阻抗变化。

## 6.9 低速接口 PCB 设计建议

- 对于单端低速信号除特殊要求外，一般需按 50Ω 控制走线阻抗。
- CAN 信号单端走线按 50Ω 阻抗控制，过收发器后走线需按差分耦合形式走线。
- 整组的信号布线使用过孔数量保持一致。
- 尽量保证走线参考平面完整，参考平面为地。
- 低速接口上 CLOCK 信号与其他信号需保持 5H 间距,避开噪声区域必要时可以包地处理。
- 低速信号布线也需要尽量缩短走线长度，远离开关电源、晶振等噪声源，以保证


版权所有 © 飞腾信息技术有限公司

信号质量。

●ESD 器件要紧挨接口放置，走线要先经过 ESD 器件再到外部接口。

## 6.10 电源 PCB 设计建议

●建议 VDD 和 VDDQ 电源平面相邻层有完整地平面，以保证电源有较短的回流路径。

●大电流电源如 VCORE，需要将 VRM 电源反馈信号接到距离 VRM 最远的电源平面末端位置，反馈信号+/-走线采用类差分对走线方式，反馈信号换层过孔不能与其他平面上铜皮相连，以保证 VRM 能采样到电源平面最末端实际电压。

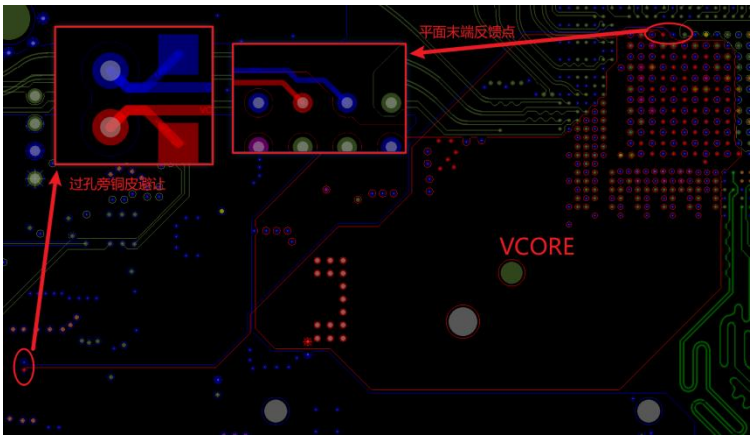


图 6-16 电源反馈信号走线示意图

●大电流电源需要在电源层采用铺平面方式进入芯片，小电流电源可以采用较粗走线方式进入芯片，芯片所有电源和地引脚均需扇出到相应平面上，加粗电源和地引脚扇出线线宽。

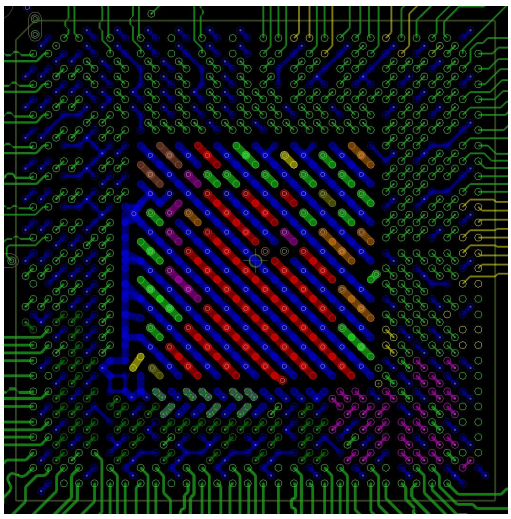

图 6-17 电源信号 BGA 扇出示意图


版权所有 © 飞腾信息技术有限公司

# 6.11 PCB 叠层设计

## 6.11.1 推荐八层板叠层

表 6-5 推荐八层板叠层设计

| 层 | 材料 | 厚度(mil) | DK(1GHz) |
|---|---|---|---|
| | 阻焊 | 0.50 | 3.00 |
| L1_TOP | 0.3oz+Plating 铜 | 1.30 | |
| | PP IT180A 1080H*1 | 3.28 | 3.8 |
| L2_GND1 | 1oz 铜 | 1.30 | |
| | Core IT180A 2116*1 | 5.12 | 4.25 |
| L3_SIG2 | 1oz 铜 | 1.30 | |
| | PP IT180A 2116*2+2116H*1 | 15.32 | 4.2 |
| L4_PWR | 1oz 铜 | 1.30 | |
| | Core IT180A 2116*1 | 5.12 | 4.25 |
| L5_GND2 | 1oz 铜 | 1.30 | |
| | PP IT180A 2116*2+2116H*1 | 15.32 | 4.2 |
| L6_SIG3 | 1oz 铜 | 1.30 | |
| | Core IT180A 2116*1 | 5.12 | 4.25 |
| L7_GND3 | 1oz 铜 | 1.30 | |
| | PP IT180A 1080H*1 | 3.28 | 3.8 |
| L8_BOTTOM | 0.3oz+Plating 铜 | 1.30 | |
| | 阻焊 | 0.50 | 3.00 |

| | | |
|---|---|---|
| **板厚：** | 1.60(±0.16)mm | 63(±6.30)mil |

## 6.11.2 推荐六层板叠层

表 6-6 推荐六层板叠层设计

| 层 | 材料 | 厚度(mil) | DK(1GHz) |
|---|---|---|---|
| | 阻焊 | 0.50 | 3.00 |
| L1_TOP | 0.3oz+Plating 铜 | 1.30 | |
| | PP IT180A 3313H*1 | 4 | 4.06 |
| L2_GND1 | 1oz 铜 | 1.30 | |
| | Core IT180A 2116*1 | 4 | 4.55 |
| L3_SIG2 | 1oz 铜 | 1.30 | |


版权所有 © 飞腾信息技术有限公司

| | | | |
|---|---|---|---|
| | PP IT180A 1080*1+2116*1<br>光板 IT180A 0.6<br>PP IT180A 1080*1+2116*1 | 38 | |
| L4_PWR | 1oz 铜 | 1.30 | |
| | Core IT180A 2116*1 | 4 | 4.55 |
| L5_GND2 | 1oz 铜 | 1.30 | |
| | PP IT180A 3313H*1 | 4 | 4.06 |
| L6_BOTTOM | 0.3oz+Plating 铜 | 1.30 | |
| | 阻焊 | 0.50 | 3.00 |

| | | |
|---|---|---|
| **板厚：** | 1.60(±0.16)mm | 63(±6.30)mil |


版权所有 © 飞腾信息技术有限公司

# 7 封装特性说明

## 7.1 封装尺寸

飞腾派芯片的封装机械尺寸如图 7-1。

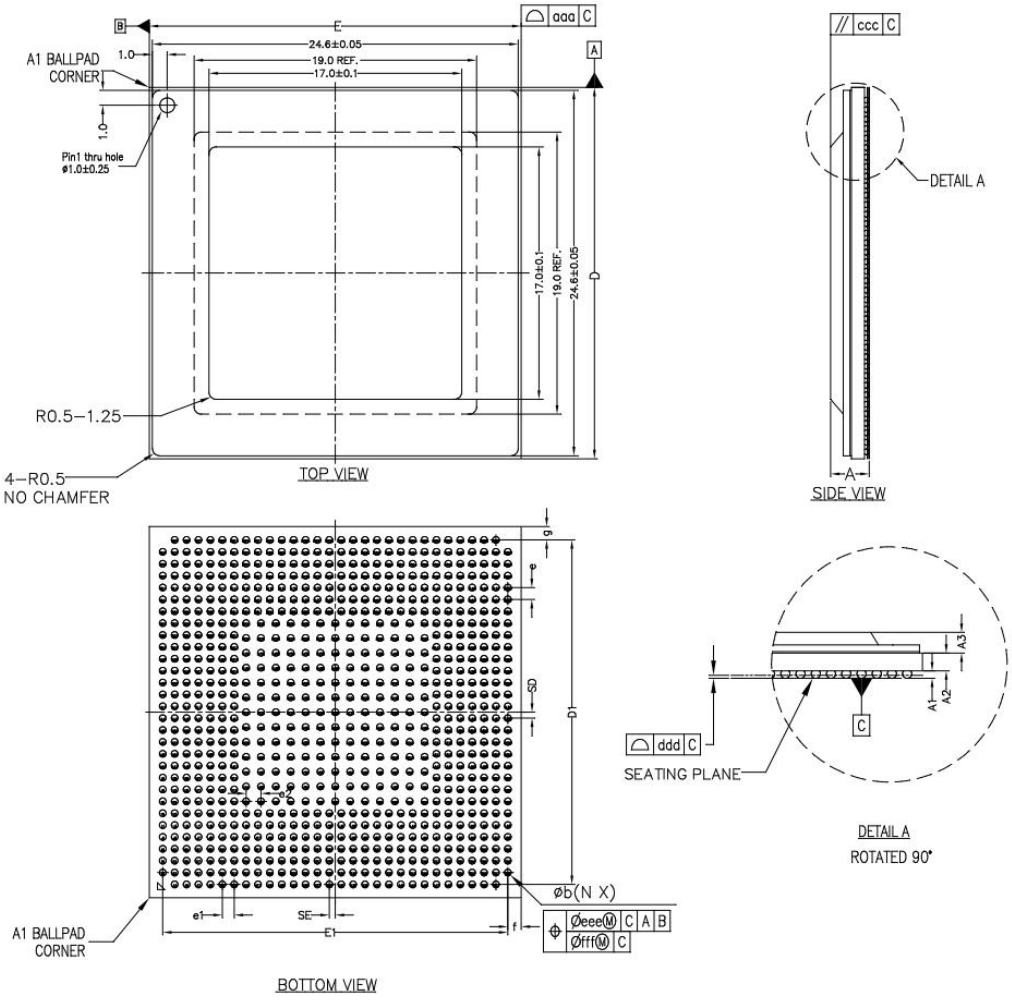


图 7-1 飞腾派芯片机械尺寸图


版权所有 © 飞腾信息技术有限公司

表 7-1 飞腾派芯片机械尺寸数据

| 标记 | 最小值 | 推荐值 | 最大值 | 单位 |
|---|---|---|---|---|
| A | 2.456 | 2.606 | 2.756 | mm |
| A1 | 0.300 | 0.350 | 0.400 | mm |
| A2 | 0.766 | 0.856 | 0.946 | mm |
| A3 | 1.300 | 1.400 | 1.500 | mm |
| b | 0.400 | 0.450 | 0.500 | mm |
| D/E | 25.000 | | | mm |
| D1/E1 | 23.200 | | | mm |
| g/f | 0.900 | | | mm |
| e1 | 0.400 | | | mm |
| e2 | 0.800 | | | mm |
| aaa | 1.000 | | | mm |
| ccc | 0.200 | | | mm |
| ddd | 0.250 | | | mm |
| eee | 0.200 | | | mm |
| fff | 0.200 | | | mm |
| N | 0.080 | | | 个 |

公差：

| 小数位 | | 角度 |
|---|---|---|
| x.x | ±0.1 | ±1° |
| x.xx | ±0.05 | |
| x.xxx | ±0.050 | |

## 7.2 扣合力

飞腾派散热器最大静态扣合力推荐压力值为 10.3kgf。


版权所有 © 飞腾信息技术有限公司

## 7.3 PCB 封装设计推荐

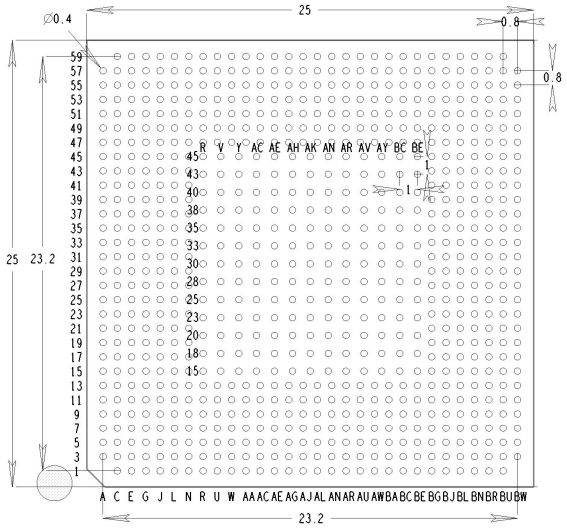


图 7-2 飞腾派芯片 PCB 封装设计推荐

说明

注 1：尺寸单位为 mm。

注 2：“b”是指锡球平行于基准 C 的最大测量直径。

注 3：装配的锡球直径为 0.45mm。

## 7.4 推荐装焊曲线

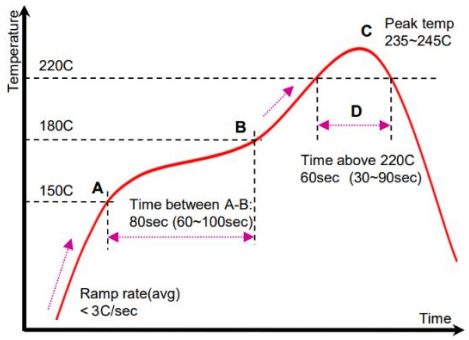


图 7-3 推荐装焊温度曲线

表 7-2 推荐装焊温度数据

| 节点 | | 推荐值 | 最大值 | 最小值 |
|---|---|---|---|---|
| A | 预热开始节点 | 150℃ | — | — |
| B | 预热结束节点 | 180℃ | — | — |
| A-B | 预热处理时间 | 80s | 100s | 60s |


版权所有 © 飞腾信息技术有限公司

| | | | | |
|---|---|---|---|---|
| C | 峰值温度节点 | 240℃ | 245℃ | 235℃ |
| D | 温度 220℃以上持续时间 | 60s | 90s | 30s |

说明

注 1：SAC305 锡膏不同生产厂商推荐的焊接曲线可能略有差异，一般按中心值设定管理。均能保证焊接效果。

注 2：测温板请按照实物板合理布局(CPU 位置建议从 PCB 底部钻孔，将 Senser 埋入 CPU 焊球区域，以确保测试状态与实际焊接状态一致)。


版权所有 © 飞腾信息技术有限公司

# 8 术语和缩略语

表 8-1 术语和缩略语

| 术语 | 全称 | 解释 |
| --- | --- | --- |
| CAN | Controller Area Network | 控制器局域网络 |
| CAN-FD | CAN with Flexible Data-Rate | 具有灵活数据速率的控制器局域网络 |
| CPU | Central Processing Unit | 中央处理器 |
| DDR | Double Data Rate SDRAM | 双倍速率同步动态随机存储器 |
| DK | Dielectric Constant | 介电常数 |
| DP | DisplayPort | 显示接口 |
| ECC | Error Correcting Code | 错误检查和纠正 |
| eDP | Embedded DisplayPort | 嵌入式显示接口 |
| eMMC | Embedded Multi Media Card | 内嵌式多媒体存储卡 |
| ESD | Electro-Static discharge | 静电释放 |
| FEC | Forward Error Correction | 前向纠错 |
| GND | Ground | 接地端 |
| GPIO | General-Purpose Input/Output | 通用输入/输出接口 |
| I2C | Inter-Integrated Circuit | 两线式串行总线 |
| I2S | Inter-IC Sound | 集成电路内置音频总线 |
| JTAG | Joint Test Action Group | 联合测试工作组 |
| LPDDR | Low Power Double Data Rate SDRAM | 低功耗双倍速率同步动态随机存储器 |
| LSO | Large Send offload | 合并发送 |
| LVCMOS | Low-Voltage Complementary Metal Oxide Semicondutor | 低电压互补金属氧化物半导体电平 |
| MIO | Multiple Input/Output | 多功能输入/输出接口 |
| NA | Not Applicable | 不适用 |
| NAND Flash | NAND Flash | NAND 闪存 |


版权所有 © 飞腾信息技术有限公司

| | | |
|---|---|---|
| ONFI | Open NAND Flash Interface | 开放式 NAND 闪存接口 |
| OTG | On-The-Go | 便携式 |
| PCIe | Peripheral Component Interconnect Express | 高速串行计算机扩展总线标准 |
| PFC | Priority-Based Control | 基于优先级的流量控制 |
| PWM | Pulse-Width Modulation | 脉冲宽度调制 |
| QSPI | Quad Serial Peripheral Interface | 四线式串行外设接口 |
| RGMII | Reduced Gigabit Media Independent Interface | 吉比特千兆媒体独立接口 |
| RSC | Receive Side Coalescing | 接收侧合并 |
| SATA | Serial Advanced Technology Attachment | 串行硬件驱动器接口 |
| SD | Secure Digital Memory Card | 安全数字存储 |
| SDIO | Serial Digital Input/Outp | 串行数字输入输出 |
| SDRAM | Synchronous Dynamic Random Access Memory | 同步动态随机存取存储器 |
| SE | system engine | 系统管理引擎 |
| SGMII | Serial Gigabit Media Independent Interface | 串行千兆媒体独立接口 |
| SPI | Serial Peripheral Interface | 串行外设接口 |
| TDP | Thermal Design Power | 散热设计功耗 |
| UART | Universal Asynchronous Receiver/Transmitter | 通用异步收发器 |
| USB | Universal Serial Bus | 通用串行总线 |
| USB PD | USB Power Delivery | USB 功率传输协议 |
| USXGMII | Universal Serial 10GE Media Independent Interface | 通用串行 10GE 媒体独立接口 |

说明

术语和缩略语的顺序按照英文或拼音首字母顺序（A-Z）进行排序，首字母相同的，英文术语和缩略语在前，中文术语和缩略语在后。


版权所有 © 飞腾信息技术有限公司